

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-177047

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/316
H01L 27/115
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 09-338586

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.12.1997

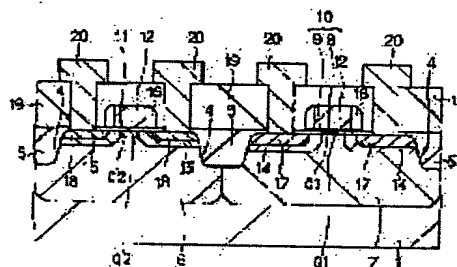
(72)Inventor : YADORI SHOJI
SUZUKI NORIO
TANIGUCHI YASUHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve reliability of a semiconductor integrated circuit device provided with a plurality of kinds of field-effect transistors having a different gate insulating film thicknesses.

SOLUTION: This is a method for manufacturing a semiconductor integrated circuit device, having a first field-effect transistor whose gate insulating film 10 of which is formed in a first element forming area 7 on the main surface of a semiconductor substrate 1, and a second field-effect transistor whose gate insulating film 11 of which is formed in a second element forming area 6 on the main surface of the substrate 1, with a thickness which is smaller than that of the gate insulating film 10 of the first transistor. In the method, thermally oxidized films 8 are formed on the first and the second element forming areas 7 and 6 on the main surface of the substrate 1, and a deposited film 9 is formed on the main surface of the substrate 1 including the surfaces of the oxide films 8. Then, after the deposited film 9 and oxide film 8 are removed from the second element forming area 6, a thermally oxidized film is formed on the area 6 and gate insulating films are respectively formed on the first and second element forming areas 7 and 6.



LEGAL STATUS

[Date of request for examination] 01.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-177047

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
21/316
27/115

H 0 1 L 27/10 6 8 1 D
21/316 S
27/10 X
4 3 4
6 8 1 F

審査請求 未請求 請求項の数14 O L (全 28 頁) 最終頁に続く

(21) 出願番号

特願平9-338586

(22) 出願日

平成9年(1997)12月9日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宿利 章二

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 鈴木 範夫

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 谷口 泰弘

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(74) 代理人 弁理士 秋田 収喜

(54) 【発明の名称】 半導体集積回路装置及びその製造方法

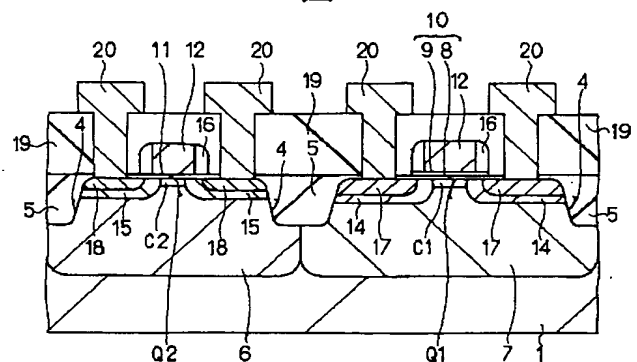
(57) 【要約】

(修正有)

【課題】 ゲート絶縁膜の厚さが異なる複数種類の電界効果トランジスタを有する半導体集積回路装置の信頼性を高める。

【解決手段】 半導体基板1の主面の第1の素子形成領域7上にゲート絶縁膜10が形成される第1の電界効果トランジスタQ1と、半導体基板の主面の第2の素子形成領域6上に第1の電界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜11が形成される第2の電界効果トランジスタQ2とを有する半導体集積回路装置の製造方法であって、半導体基板の主面の第1の素子形成領域上及び第2の素子形成領域上に熱酸化膜8を形成し、その後、熱酸化膜上を含む半導体基板の主面上に堆積膜9を形成し、その後、第2の素子形成領域上の堆積膜及び熱酸化膜を除去し、その後、第2の素子形成領域上に熱酸化膜を形成して、第1の素子形成領域上、第2の素子形成領域上の夫々にゲート絶縁膜を形成する工程を備える。

図2



【特許請求の範囲】

【請求項1】 半導体基板の主面の第1の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、前記半導体基板の主面の第2の素子形成領域上に前記第1の電界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、

前記第1の素子形成領域上及び前記第2の素子形成領域上を含む前記半導体基板の主面上に堆積膜を形成し、その後、前記第2の素子形成領域上の前記堆積膜を除去し、その後、前記第2の素子形成領域上に熱酸化膜を形成して、前記第1の素子形成領域上、前記第2の素子形成領域上の夫々にゲート絶縁膜を形成する工程を備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項2】 半導体基板の主面の第1の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、前記半導体基板の主面の第2の素子形成領域上に前記第1の電界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、

前記半導体基板の主面の第1の素子形成領域上及び第2の素子形成領域上に熱酸化膜を形成し、その後、前記熱酸化膜上を含む前記半導体基板の主面上に堆積膜を形成し、その後、前記第2の素子形成領域上の前記堆積膜及び前記熱酸化膜を除去し、その後、前記第2の素子形成領域上に熱酸化膜を形成して、前記第1の素子形成領域上、前記第2の素子形成領域上の夫々にゲート絶縁膜を形成する工程を備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項3】 前記第1の電界効果トランジスタはDRAMのメモリスルを構成する電界効果トランジスタであり、前記第2の電界効果トランジスタは周辺回路を構成する電界効果トランジスタであることを特徴とする請求項1又は請求項2に記載の半導体集積回路装置の製造方法。

【請求項4】 前記第1の素子形成領域、前記第2の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込まれた埋込絶縁膜によって絶縁分離されていることを特徴とする請求項1乃至請求項3のうちのいずれか1記載の半導体集積回路装置の製造方法。

【請求項5】 半導体基板の主面の第1の素子形成領域上にゲート絶縁膜を介在して浮遊ゲート電極が形成され、かつ前記浮遊ゲート電極上に層間絶縁膜を介在して制御ゲート電極が形成される不揮発性記憶素子と、前記半導体基板の主面の第2の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、前記半導体基板の主面の第3の素子形成領域上に前記第1の電

界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、前記半導体基板の主面の第1の素子形成領域上にゲート絶縁膜を介在して浮遊ゲート材を形成した後、前記浮遊ゲート材の表面上、前記第2の素子形成領域上及び前記第3の素子形成領域上を含む前記半導体基板の主面上に堆積膜を形成し、その後、前記第3の素子形成領域上の前記堆積膜を除去し、その後、前記第3の素子形成領域上に熱酸化膜を形成して、前記第2の素子形成領域上、前記第3の素子形成領域上の夫々にゲート絶縁膜を形成すると共に、前記浮遊ゲート材の表面上に層間絶縁膜を形成する工程を備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項6】 半導体基板の主面の第1の素子形成領域上にゲート絶縁膜を介在して浮遊ゲート電極が形成され、かつ前記浮遊ゲート電極上に層間絶縁膜を介在して制御ゲート電極が形成される不揮発性記憶素子と、前記半導体基板の主面の第2の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、前記半導体基板の主面の第3の素子形成領域上に前記第1の電界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、前記半導体基板の主面の第1の素子形成領域上にゲート絶縁膜を介在して浮遊ゲート材を形成した後、前記半導体基板の主面の第2の素子形成領域上及び第3の素子形成領域上並びに前記浮遊ゲート材の表面上に熱酸化膜を形成し、その後、前記熱酸化膜上を含む前記半導体基板の主面上に堆積膜を形成し、その後、前記第3の素子形成領域上の前記堆積膜及び前記熱酸化膜を除去し、その後、前記第3の素子形成領域上に熱酸化膜を形成して、前記第2の素子形成領域上、前記第3の素子形成領域上の夫々にゲート絶縁膜を形成すると共に、前記浮遊ゲート材の表面上に層間絶縁膜を形成する工程を備えたことを特徴とする半導体集積回路装置の製造方法。

【請求項7】 前記第1の素子形成領域、前記第2の素子形成領域、前記第3の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込まれた埋込絶縁膜によって絶縁分離されていることを特徴とする請求項5又は請求項6に記載の半導体集積回路装置の製造方法。

【請求項8】 前記埋込絶縁膜は、化学気相成長法によって堆積した絶縁膜を化学的機械研磨法によって研磨することにより形成されることを特徴とする請求項4又は請求項7に記載の半導体集積回路装置の製造方法。

【請求項9】 半導体基板の主面の第1の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、前記半導体基板の主面の第2の素子形成領域上に前記第1の電界効果トランジスタのゲート絶縁膜より

も薄い厚さでゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置において、前記第1の電界効果トランジスタのゲート絶縁膜は熱酸化膜及び堆積膜で形成され、前記第2の電界効果トランジスタのゲート絶縁膜は熱酸化膜で形成されていることを特徴とする半導体集積回路装置。

【請求項10】 前記第1の電界効果トランジスタはDRAMのメモリセルを構成する電界効果トランジスタであり、前記第2の電界効果トランジスタは周辺回路を構成する電界効果トランジスタであることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】 前記第1の素子形成領域、前記第2の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込まれた埋込絶縁膜によって絶縁分離されていることを特徴とする請求項9又は請求項10に記載の半導体集積回路装置。

【請求項12】 半導体基板の主面の第1の素子形成領域上にゲート絶縁膜を介在して浮遊ゲート電極が形成され、かつ前記浮遊ゲート電極上に層間絶縁膜を介在して制御ゲート電極が形成される不揮発性記憶素子と、前記半導体基板の主面の第2の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、前記半導体基板の主面の第3の素子形成領域上に前記第1の電界効果トランジスタのゲート絶縁膜よりも薄い膜厚でゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置であって、前記第1の電界効果トランジスタは熱酸化膜及び堆積膜で形成され、前記第2の電界効果トランジスタは熱酸化膜で形成され、前記堆積膜は前記不揮発性記憶素子の層間絶縁膜と同一層で形成されていることを特徴とする半導体集積回路装置。

【請求項13】 前記第1の素子形成領域、第2の素子形成領域、第3の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込まれた埋込絶縁膜によって絶縁分離されていることを特徴とする請求項11に記載の半導体集積回路装置。

【請求項14】 前記埋込絶縁膜は、化学気相成長法によって堆積した絶縁膜を化学的機械研磨法によって研磨することにより形成されることを特徴とする請求項11又は請求項13に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、ゲート絶縁膜の膜厚が異なる複数種類の電界効果トランジスタを有する半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】半導体メモリの高集積化を支えている技術の一つは素子分離である。64Mビットのランダムア

クセスメモリ(以下、DRAMと略記)を初めとする0.25ミクロン技術を用いた半導体集積回路装置の素子分離では、従来のLOCOS(Local Oxidation Of Silicon)素子分離から、シリコン基板の素子分離領域に溝を形成し、この溝内に埋込絶縁膜を形成して素子形成領域間を絶縁分離する所謂溝型素子分離が本格的に採用されつつある。この溝型素子分離によれば、LOCOS素子分離において不可能であった0.3ミクロン以下の素子分離長が設計でき、メモリ集積度の大幅な向上が達成できる。

【0003】一方、低電圧・低消費電力化といった従来からの市場ニーズに加えて、PDA(Personal Digital Assistants)や電子スチールカメラなどの携帯機器の急速な浸透により、従来は異なるチップ上に形成されてきた素子を同時にオンチップ化する要求が強まってきた。その一例として、フラッシュメモリを内蔵したマイクロコンピュータや、中容量のDRAMを内蔵したマイクロコンピュータ等が製品化されている。

【0004】異なる機能のデバイスを混載したこれらの半導体集積回路装置には、動作電圧の異なる複数種類の電界効果トランジスタが搭載されている。例えば、フラッシュメモリへの情報の書き込み・消去動作は15～20[V]の高電圧が必要であるため、周辺回路の一部にはその電圧印加に耐える15～25[nm]の厚さのゲート絶縁膜を有する電界効果トランジスタが使用される。また、通常の3.3[V]で動作するマイクロコンピュータの論理回路部には、7～10[nm]の厚さのゲート絶縁膜を有する電界効果トランジスタが使用される。更に、最近の0.25ミクロン技術によるフラッシュメモリ内蔵マイクロコンピュータにおいては、1.8[V]程度の低電源電圧で高速動作を実現するため、論理回路部に4～5[nm]の厚さのゲート絶縁膜を有する電界効果トランジスタが使用されており、入出力部を3.3[V]でも対応可能とする場合には、結果的に3水準、4～5[nm]厚のゲート絶縁膜(1.8[V]用)、7～10[nm]厚のゲート絶縁膜(3.3[V]用)、及び15～25[nm]厚のゲート絶縁膜(フラッシュメモリ用)を形成する必要がある。

【0005】

【発明が解決しようとする課題】前述の溝型素子分離で絶縁分離されたシリコン基板の二つの素子形成領域上に厚さが異なる二種類のゲート絶縁膜を従来技術で作分けした場合の問題点を図40乃至図46を用いて説明する。図40乃至図44は従来技術を説明するための断面図であり、図40乃至図42は電界効果トランジスタのゲート長方向に沿う断面図であり、図43及び図44は電界効果トランジスタのゲート幅方向に沿う断面図である。図45は溝型素子分離におけるキャパシタの耐圧分布とLOCOS素子分離におけるキャパシタの耐圧分布とを比較した図である。図46は溝型素子分離における

電界効果トランジスタのサブシュレッシュ特性とLOCOS素子分離における電界効果トランジスタのサブシュレッシュ特性とを比較した図である。図45において、横軸はキャパシタゲート印加電圧であり、縦軸は累積不良数である。図46において、横軸はゲート電圧であり、縦軸はドレイン電流である。

【0006】まず、図40(A)に示すように、シリコン基板151の主面の素子分離領域に第1の素子形成領域、第2の素子形成領域の夫々の周囲を規定する溝152を形成し、その後、前記溝152内に酸化珪素膜からなる埋込絶縁膜153を形成して溝型素子分離を行い、その後、前記第1の素子形成領域上及び前記第2の素子形成領域上に不純物導入用のバッファ絶縁膜154を形成し、その後、前記第1の素子形成領域、前記第2の素子形成領域の夫々の表層部に電界効果トランジスタのしきい値電圧を制御するためのチャンネルインプラ層155A、155Bの夫々を形成する。

【0007】次に、前記バッファ絶縁膜154を除去した後、熱酸化処理を施し、図40(B)に示すように、前記第1の素子形成領域上及び前記第2の素子形成領域上に20[nm]程度の厚さの熱酸化(SiO_2)膜からなるゲート絶縁膜156を形成する。

【0008】次に、前記第1の素子形成領域上を覆い、前記第2の素子形成領域上が開口されたマスク157をフォトリソグラフィ技術を用いて形成する。

【0009】次に、前記マスク157をエッチングマスクとして使用し、図41(C)に示すように、前記第2の素子形成領域上のゲート絶縁膜156をフッ酸水溶液を用いたウェットエッチング法で除去する。

【0010】次に、前記マスク157を除去した後、熱酸化処理を施し、図41(D)に示すように、前記第2の素子形成領域上に5[nm]程度の厚さの熱酸化(SiO_2)膜からなるゲート絶縁膜158を形成する。この工程により、溝型素子分離で絶縁分離された第1の素子形成領域上、第2の素子形成領域上の夫々に、厚さが異なるゲート絶縁膜156、ゲート絶縁膜158の夫々を作り分けることができる。

【0011】次に、前記第1の素子形成領域上、前記第2の素子形成領域上の夫々に不純物が導入された多結晶珪素膜からなるゲート電極159を形成し、その後、前記第1の素子形成領域の表層部にソース領域及びドレイン領域である一対の半導体領域160を形成し、その後、前記第2の素子形成領域の表層部にソース領域及びドレイン領域である一対の半導体領域161を形成することにより、図42に示すように、ゲート絶縁膜の厚さが異なる電界効果トランジスタQ12及び電界効果トランジスタQ13が形成される。なお、電界効果トランジスタQ12、Q13の夫々のゲート電極159は、図43及び図44に示すように、ゲート幅方向の両端部が埋込絶縁膜153上に引き出された形状で形成される。

【0012】前述の従来技術によるゲート絶縁膜の作り分けでは、第2の素子形成領域上に形成されたゲート絶縁膜156をウェットエッチング法で除去する際、図41(C)に示すように、溝152内に埋め込まれた埋込絶縁膜153も同時にエッチングされるため、第2の素子形成領域と素子分離領域との間の素子分離領域端部において、第2の素子形成領域の側面を露出する断差が発生する。本発明者等の実験によれば、第2の素子形成領域上に形成したゲート絶縁膜の厚さ4.5[nm]に対して25[nm]の段差が発生した。この段差に起因する二つの大きな問題点がある。

【0013】第1点は、段差部での機械的応力集中が原因となって、第2の素子形成領域と素子分離領域との間の素子分離領域端部において、図44中の矢印162で示すようなゲート絶縁膜158の薄膜化が発生し、結果としてゲート絶縁膜158の信頼度が劣化する問題である。図45に示すように、溝型素子分離では5~10%の耐圧劣化が見られた。

【0014】第2点は、図44中の矢印163で示すように、第2の素子形成領域の側面の段差底部付近におけるチャンネルインプラ濃度が平坦部のチャンネルインプラ層155Bと比較して低下することから、電界効果トランジスタQ13の特性が変動する問題である。図46に示すように、溝型素子分離では、通称キンクと呼ばれている電圧-電流特性が途中で変化する現象が見られ、結果的に電界効果トランジスタQ13のしきい値電圧の低下と、そのバラツキが問題となる。

【0015】本発明の目的は、ゲート絶縁膜の厚さが異なる複数種類の電界効果トランジスタを有する半導体集積回路装置の信頼性を高めることが可能な技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。半導体基板の主面の第1の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、前記半導体基板の主面の第2の素子形成領域上に前記第1の電界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、前記半導体基板の主面の第1の素子形成領域上及び第2の素子形成領域上に熱酸化膜を形成し、その後、前記熱酸化膜を含む前記半導体基板の主面上に堆積膜を形成し、その後、前記第2の素子形成領域上の前記堆積膜及び前記熱酸化膜を除去し、その後、前記第2の素子形成領域上に熱酸化膜を形成して、前記第1の素子形成領域上、前記第2の素子形成領域上の夫々にゲート絶縁膜を形成する工程を備える。

【0017】前記第1の素子形成領域、前記第2の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込まれた埋込絶縁膜によって絶縁分離されている。

【0018】上述した手段によれば、第2の素子形成領域上に形成された堆積膜及び熱酸化膜を除去する際、埋込絶縁膜は堆積膜で覆われており、堆積膜が除去されるまで埋込絶縁膜はエッチングされないため、堆積膜9の厚さに相当する分、埋込絶縁膜のエッチング量を低減できる。従って、第2の素子形成領域と素子分離領域との間の素子分離領域端部に発生する段差を緩和でき、段差に起因する電界効果トランジスタのゲート耐圧の劣化及び特性変動を回避できる。この結果、半導体集積回路装置の信頼性を高めることができる。

【0019】また、第1の素子形成領域上に形成されるゲート絶縁膜の厚さに対して堆積膜の厚さが占める割合を大きくするに従って、第2の素子形成領域上に形成される熱酸化膜の厚さが薄くなるので、埋込絶縁膜のエッチング量を低減できる。埋込絶縁膜のエッチング量は熱酸化膜の厚さに比例して増加する。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0021】（実施形態1）本実施形態は、ゲート絶縁膜の厚さが異なる二種類の電界効果トランジスタを有する半導体集積回路装置に本発明を適用した例について説明する。

【0022】図1は本発明の実施形態1である半導体集積回路装置に搭載された二種類の電界効果トランジスタの構成を示す模式的平面図であり、図2は図1に示すA-A線の位置で切った断面図であり、図3は図1に示すB-B線の位置で切った断面図であり、図4は図1に示すC-C線の位置で切った断面図である。なお、図1において、図を見易くするため、後述する層間絶縁膜19、配線20等は図示を省略している。

【0023】図1及び図2に示すように、本実施形態の半導体集積回路装置は、例えば単結晶珪素からなるp型半導体基板1を主体とする構成になっている。

【0024】前記p型半導体基板1の主面には複数の素子形成領域が形成されている。複数の素子形成領域の夫々は、p型半導体基板1の主面の素子分離領域に形成された溝4及びこの溝4内に埋め込まれた埋込絶縁膜5によって周囲を規定され、互いに絶縁分離されている。

【0025】前記複数の素子形成領域のうち、第1の素子形成領域にはn型ウェル領域7が形成され、第2の素子形成領域にはp型ウェル領域6が形成されている。

【0026】前記半導体基板の主面の第1の素子形成領域には、pチャネル導電型の電界効果トランジスタQ1

が構成されている。この電界効果トランジスタQ1は、例えばpチャネル型MISFET(Metal Insulator Semiconductor Field Effect Transistor)で構成され、主に、しきい値電圧を制御するためのチャネルインプラ層C1、ゲート絶縁膜10、ゲート電極12、ソース領域及びドレイン領域である一対のp型半導体領域14及び一対のp型半導体領域17で構成されている。

【0027】前記電界効果トランジスタQ1において、チャネルインプラ層C1は、チャネル形成領域であるn型ウェル領域7の表層部に形成されている。ゲート絶縁膜10はn型ウェル領域7上に形成され、ゲート電極12はゲート絶縁膜10上に形成されている。このゲート電極12は抵抗値を低減する不純物が導入された多結晶珪素膜で形成されている。一対のp型半導体領域14はnウェル領域7の表層部に形成されている。この一対のp型半導体領域14はゲート電極12に対して自己整合で導入された不純物によって構成されている。一対のp型半導体領域17は一対のp型半導体領域14の表層部に形成されている。この一対のp型半導体領域17は、ゲート電極12のゲート長方向の側面側に形成されたサイドウォールスペーサ16に対して自己整合で導入された不純物によって構成され、一対のp型半導体領域14に比べて高不純物濃度に設定されている。

【0028】前記p型半導体基板1の主面の第2の素子形成領域には、nチャネル導電型の電界効果トランジスタQ2が構成されている。この電界効果トランジスタQ2は、例えばnチャネル型MISFETで構成され、主に、しきい値電圧を制御するためのチャネルインプラ層C2、ゲート絶縁膜11、ゲート電極12、ソース領域及びドレイン領域である一対のn型半導体領域15及び一対のn型半導体領域18で構成されている。

【0029】前記電界効果トランジスタQ2において、しきい値電圧制御層C2は、チャネル形成領域であるp型ウェル領域6の表層部に形成されている。ゲート絶縁膜11はp型ウェル領域6上に形成され、ゲート電極12はゲート絶縁膜11上に形成されている。このゲート電極12は抵抗値を低減する不純物が導入された多結晶珪素膜で形成されている。一対のn型半導体領域15はpウェル領域6の表層部に形成されている。この一対のn型半導体領域15はゲート電極12に対して自己整合で導入された不純物で構成されている。一対のn型半導体領域18は一対のn型半導体領域16の表層部に形成されている。この一対のn型半導体領域18は、ゲート電極12のゲート長方向の側面側に形成されたサイドウォールスペーサ16に対して自己整合で導入された不純物によって構成され、一対のn型半導体領域15に比べて高不純物濃度に設定されている。

【0030】前記電界効果トランジスタQ1は、例えば動作電圧が15[V]に設定され、ゲート絶縁膜10の厚さが20[nm]程度に設定されている。ゲート絶縁

膜10は、3 [nm] 程度の厚さの熱酸化膜8及び17 [nm] 程度の厚さの堆積膜9で形成されている。熱酸化膜8は、p型半導体基板1の主面を酸化して形成した酸化珪素膜で形成されている。堆積膜9は、化学気相成長 (CVD: Chemical Vapor Deposition) 法を用いて熱酸化膜8上に形成した酸化珪素膜で形成されている。

【0031】前記電界効果トランジスタQ2は、例えば動作電位が1.8 [V] に設定され、ゲート絶縁膜10の厚さが5 [nm] 程度に設定されている。ゲート絶縁膜11は、ゲート絶縁膜11と異なり、熱酸化膜で形成されている。この熱酸化膜は、p型半導体基板1の主面を酸化して形成した酸化珪素膜で形成されている。

【0032】このように、電界効果トランジスタQ1のゲート絶縁膜10は、電界効果トランジスタQ2のゲート絶縁膜11よりも厚い膜厚で構成されている。また、電界効果トランジスタQ1に印加される電界強度は、電界効果トランジスタQ2のゲート絶縁膜11に印加される電界強度よりも高くなるように構成されている。

【0033】前記電界効果トランジスタQ1のソース領域及びドレイン領域である一対のp型半導体領域17の夫々には、層間絶縁膜19に形成された接続孔を通して第1層目の金属配線20が電氣的に接続されている。前記電界効果トランジスタQ2のソース領域及びドレイン領域である一対のn型半導体領域18の夫々には、層間絶縁膜19に形成された接続孔を通して第1層目の金属配線20が電氣的に接続されている。

【0034】前記電界効果トランジスタQ1のゲート電極12は、図3に示すように、ゲート幅方向における両端部が埋込絶縁膜5上に引き出され、一方の端部側には層間絶縁膜19に形成された接続孔を通して第1層目の金属配線20が電氣的に接続されている。前記電界効果トランジスタQ2のゲート電極12は、図4に示すように、ゲート幅方向における両端部が埋込絶縁膜5上に引き出され、一方の端部側には層間絶縁膜19に形成された接続孔を通して金属配線20が電氣的に接続されている。

【0035】次に、前記半導体集積回路装置の製造方法について、図5乃至図14（製造方法を説明するための断面図）を用いて説明する。

【0036】まず、例えば単結晶珪素からなるp型半導体基板1を用意する。このp型半導体基板1は10 [Ω cm] の抵抗率で形成されている。

【0037】次に、熱酸化処理を施し、前記p型半導体基板1の主面上の全面に酸化珪素膜2Aを形成する。

【0038】次に、前記p型半導体基板1の主面の第1の素子形成領域及び第2の素子形成領域と対向する前記酸化珪素膜2A上の領域に窒化珪素膜からなるマスク3を選択的に形成する。ここまでの工程を図5に示す。

【0039】次に、前記マスク3をエッチングマスクと

して使用し、酸化珪素膜2A及びp型半導体基板1の主面の素子分離領域にエッチング処理を施して、第1の素子形成領域、第2の素子形成領域の夫々の周囲を規定する溝4を形成する。エッチング処理は、例えばRIE (Reactive Ion Etching) 等の異方性ドライエッチングで行う。溝4は0.3 [μm] 程度の深さで形成する。ここまでの工程を図6に示す。

【0040】次に、熱酸化処理を施し、前記溝4の内面を酸化して酸化珪素膜(図示せず)を形成する。この熱酸化処理は、溝4の加工時において生じた結晶欠陥を除去する目的で行う。

【0041】次に、前記溝4を埋め込むように前記p型半導体基板1上の全面に酸化珪素膜5Aを減圧化学気相成長(LPCVD: Low Pressure CVD) 法で形成する。ここまでの工程を図7に示す。

【0042】次に、化学的機械研磨(CMP: Chemical Mechanical Polishing)法を使用し、前記p型半導体基板1の主面上の酸化珪素膜5Aを除去して、前記溝4内に埋込絶縁膜5を形成する。この工程において、前記マスク3は化学的機械研磨時のストップパとして使用される。

【0043】次に、埋込絶縁膜5を緻密化するための熱処理を施す。この熱処理は、例えば酸化性の雰囲気又は不活性ガスの雰囲気で行う。この緻密化により、埋込絶縁膜5のエッチングレートは熱酸化膜のエッチングレートに近づく。

【0044】次に、熱リン酸液を用いたウェットエッチング法で前記マスク3を除去し、その後、フッ酸水溶液を用いたウェットエッチング法で前記p型半導体基板1の主面の第1の素子形成領域上及び第2の素子形成領域上に残存する酸化珪素膜2Aを除去する。この工程により、第1の素子形成領域、第2の素子形成領域の夫々は、p型半導体基板1の主面の素子分離領域に形成された溝4及びこの溝4内に埋め込まれた埋込絶縁膜5によって絶縁分離(電氣的に分離)される。

【0045】次に、例えば熱酸化処理を施し、前記p型半導体基板1の主面の第1の素子形成領域上及び第2の素子形成領域上に10 [nm] 程度の厚さの酸化珪素膜からなる不純物導入用のバッファ絶縁膜2Bを形成する。

【0046】次に、前記p型半導体基板1の主面の第2の素子形成領域に不純物(例えばボロン)をイオン打込み法で選択的に導入してp型ウエル領域6を形成し、その後、前記p型半導体基板1の主面の第1の素子形成領域に不純物(例えばリン)をイオン打込み法で選択的に導入してn型ウエル領域7を形成する。ここまでの工程を図8に示す。

【0047】次に、前記p型ウエル領域6の表層部に不純物をイオン打込み法で選択的に導入して、しきい値電圧を制御するためのチャネルインプラ層C2を形成し、

その後、前記n型ウエル領域7の表層部に不純物をイオン打込み法で選択的に導入して、しきい値圧を制御するためのチャネルインプラ層C1を形成する。ここまでの工程を図9に示す。

【0048】次に、フッ酸水溶液を用いたウェットエッチング法で前記バッファ絶縁膜2Bを除去し、前記p型半導体基板1の主面の第1の素子形成領域及び第2の素子形成領域の表面を露出する。

【0049】次に、熱酸化処理を施し、前記p型半導体基板1の主面の第1の素子形成領域上及び第2の素子形成領域上に3[nm]程度の厚さの熱酸化膜8を形成する。熱酸化処理は、薄い膜厚の制御が可能であり、かつ良質の酸化膜生成が可能なドライ酸化法で行う。

【0050】次に、化学気相成長法を使用し、前記熱酸化膜8を形成した直後に、熱酸化膜8上及び埋込絶縁膜5上を含むp型半導体基板1上の全面に、17[nm]程度の厚さの酸化珪素膜からなる堆積膜9を形成する。この工程により、第1の素子形成領域上に熱酸化膜8及び堆積膜9からなるゲート絶縁膜10が形成される。ここまでの工程を図10に示す。

【0051】次に、前記p型半導体基板1の主面の第1の素子形成領域上を覆い、第2の素子形成領域上が開口されたマスクM10を形成する。マスクM10は、フォトリソグラフ技術を用いたフォトリソグラフィ技術で形成する。マスクM10は、例えば図1及び図11に示すように、その端部が埋込絶縁膜5上に位置するように形成される。

【0052】次に、前記マスクM10をエッチングマスクとして使用し、前記p型半導体基板1の主面の第2の素子形成領域上の堆積膜9及び熱酸化膜8をウェットエッチング法で除去する。この工程において、埋込絶縁膜5は堆積膜9で覆われているので、堆積膜9が除去されるまで埋込絶縁膜5はエッチングされない。通常のウェットエッチングでは、少なくとも膜厚の10%のオーバーエッチを行うため、被エッチ膜の膜厚が20[nm]では、エッチング量は22[nm]となる。従来の技術では、この22[nm]分だけの段差が第2の素子形成領域と素子分離領域との間の素子分離領域端部に発生するが、本実施形態では、堆積膜9が除去されるまで埋込絶縁膜5はエッチングされないで、結果的に段差を5[nm]に低減することができた。即ち、埋込絶縁膜5を堆積膜9で覆うことにより、堆積膜9の厚さに相当する分、埋込絶縁膜5のエッチング量を低減できる。ここまでの工程を図11に示す。

【0053】次に、前記マスクM10をアッシングして除去した後、ドライ酸化法で熱酸化処理を施し、前記p型半導体基板1の主面の第2の素子形成領域上に5[nm]程度の厚さの熱酸化膜からなるゲート絶縁膜11を形成する。この工程において、p型半導体基板1の主面の第1の素子形成領域と熱酸化膜8との間に極薄い熱酸

化膜が生成される。この工程により、厚さが異なるゲート絶縁膜10及びゲート絶縁膜11が形成される。また、この熱酸化処理により、堆積膜9は緻密化される。なお、堆積膜9を緻密化する熱処理を別工程で加えてもよい。この熱処理は、例えば不活性又は酸化性雰囲気で行う。これにより、ゲート絶縁膜10の膜質を向上することができる。

【0054】次に、前記ゲート絶縁膜11上及びゲート絶縁膜10上を含むp型半導体基板1上の全面に200[nm]程度の厚さ及び 4×10^{20} [atoms/cm³]程度の不純物濃度の多結晶珪素膜を化学気相成長法で形成し、その後、前記多結晶珪素膜上の全面に50[nm]程度の厚さの酸化珪素膜13を化学気相成長法で形成する。

【0055】次に、前記酸化珪素膜13、前記多結晶珪素膜の夫々に順次パターンニングを施し、前記ゲート絶縁膜11上にゲート電極12を形成すると共に、前記ゲート絶縁膜10上にゲート電極12を形成する。このゲート電極12の夫々は、ゲート幅方向の両端部が埋込絶縁膜5上に引き出された形状で形成される。

【0056】次に、前記p型半導体基板1の主面の第1の素子形成領域に不純物としてボロンをイオン打込み法で選択的に導入し、その後、摂氏900[°C]、20分間の熱処理を施して、ソース領域及びドレイン領域である一対のp型半導体領域14を形成する。ボロンの導入は、最終的な導入量が 1×10^{13} [atoms/cm²]程度及び導入時のエネルギー量が50[KeV]の条件下で行う。一対のp型半導体領域14は、ゲート電極12及び埋込絶縁膜5に対して自己整合で形成される。

【0057】次に、前記p型半導体基板1の主面の第2の素子形成領域に不純物として燐をイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のn型半導体領域15を形成する。燐の導入は、最終的な導入量が 7×10^{12} [atoms/cm²]程度及び導入時のエネルギー量が60[KeV]の条件下で行う。一対のn型半導体領域14はゲート電極12及び埋込絶縁膜5に対して自己整合で形成される。ここまでの工程を図13に示す。

【0058】次に、前記ゲート電極12の側面を覆うサイドウォールスペーサ16を形成する。サイドウォールスペーサ16は、p型半導体基板1上の全面に酸化珪素膜からなる絶縁膜をCVD法で形成し、その後、前記絶縁膜にRIE等の異方性エッチングを施すことによって形成される。

【0059】次に、前記p型半導体基板1の主面の第1の素子形成領域に不純物としてボロンをイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のp型半導体領域17を形成する。一対のp型半導体領域17はサイドウォールスペーサ16及び埋込絶縁膜5に対して自己整合で形成される。この工程により、

電界効果トランジスタQ1がほぼ完成する。

【0060】次に、前記p型半導体基板1の主面の第2の素子形成領域に不純物として燐をイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のn型半導体領域18を形成する。一対のn型半導体領域18はサイドウォールスペーサ16及び埋込絶縁膜5に対して自己整合で形成される。この工程により、電界効果トランジスタQ2がほぼ完成する。ここまでの工程を図14に示す。

【0061】次に、前記p型半導体基板1の主面の全面に層間絶縁膜19を形成し、その後、前記層間絶縁膜19に接続孔を形成し、その後、層間絶縁膜19上に第1層目の配線20を形成することにより、図2、図3及び図4に示す状態となる。

【0062】このように、本実施形態によれば、以下の作用効果が得られる。p型半導体基板1の主面の第1の素子形成領域上にゲート絶縁膜10が形成される電界効果トランジスタQ1と、p型半導体基板1の主面の第2の素子形成領域上に電界効果トランジスタQ1のゲート絶縁膜10よりも薄い厚さでゲート絶縁膜11が形成される電界効果トランジスタQ2とを有する半導体集積回路装置の製造方法であって、p型半導体基板1の主面の第1の素子形成領域上及び第2の素子形成領域上に熱酸化膜8を形成し、その後、熱酸化膜8上を含むp型半導体基板1の主面上に堆積膜9を形成し、その後、第2の素子形成領域上の堆積膜9及び熱酸化膜8を除去し、その後、第2の素子形成領域上に熱酸化膜を形成して、厚さが異なるゲート絶縁膜10及びゲート絶縁膜11を形成する工程を備える。第1の素子形成領域、第2の素子形成領域の夫々は、p型半導体基板1の主面の素子分離領域に形成された溝4及びこの溝4内に埋め込まれた埋込絶縁膜5によって絶縁分離されている。

【0063】この構成により、第2の素子形成領域上に形成された堆積膜9及び熱酸化膜8を除去する際、埋込絶縁膜5は堆積膜9で覆われており、堆積膜9が除去されるまで埋込絶縁膜5はエッチングされないため、堆積膜9の厚さに相当する分、埋込絶縁膜5のエッチング量を低減できる。従って、第2の素子形成領域と素子分離領域との間の素子分離領域端部に発生する段差を緩和でき、段差に起因する電界効果トランジスタのゲート耐圧の劣化及び特性変動を回避できる。この結果、半導体集積回路装置の信頼性を高めることができる。

【0064】また、第1の素子形成領域上に形成されるゲート絶縁膜10の厚さに対して堆積膜9の厚さが占める割合を大きくするに従って、第2の素子形成領域上に形成される熱酸化膜8の厚さが薄くなるため、埋込絶縁膜5のエッチング量を低減できる。埋込絶縁膜5のエッチング量は熱酸化膜8の厚さに比例して増加する。

【0065】また、第1の素子形成領域上に形成されるゲート絶縁膜10を熱酸化膜8及び堆積膜9で形成し、

第2の素子形成領域上に形成されるゲート絶縁膜11を熱酸化膜で形成することにより、埋込絶縁膜5を堆積膜9で覆うことができるため、埋込絶縁膜5のエッチング量を低減できる。

【0066】なお、本実施形態では、第1の素子形成領域上及び第2の素子形成領域上に熱酸化膜8を形成し、その後、熱酸化膜8上を含む基板1の全面に堆積膜9を形成する例について説明したが、熱酸化膜8を廃止し、第1の素子形成領域上に堆積膜9を直に形成してもよい。化学気相成長法で形成された堆積膜は熱酸化膜に比べて膜質(堆積膜と基板との界面の膜質)が悪く、リーク電流が発生し易いが、第2の素子形成領域上にゲート絶縁膜10である熱酸化膜を形成する際、第1の素子形成領域(基板1)と堆積膜9との間にも熱酸化膜が生成されるため、この熱酸化膜によってリーク電流の発生を抑制できる。第1の素子形成領域と堆積膜9との間に生成される熱酸化膜の膜厚は、第2の素子形成領域上にゲート絶縁膜10である熱酸化膜を形成する時の熱酸化処理時間に依存するので、第2の素子形成領域上に形成される熱酸化膜の厚さによってはリーク電流の少ないゲート絶縁膜を形成することができる。従って、第1の素子形成領域上及び第2の素子形成領域上を含む基板1の全面に堆積膜9を形成し、その後、第2の素子形成領域上の堆積膜9を除去し、その後、第2の素子形成領域上に熱酸化膜を形成して、厚さの異なるゲート絶縁膜11及びゲート絶縁膜10を形成してもよい。この場合、熱酸化膜8を形成しない分、製造工程数を低減できる。また、第2の素子形成領域上の堆積膜9を除去する際、堆積膜9だけを除去すればよいので、埋込絶縁膜5のエッチング量を更に低減できる。

【0067】また、本実施形態では、化学的機械研磨(CMP)法を用いて溝4内に埋込絶縁膜5を形成した例について説明したが、埋込絶縁膜5はエッチバック法を用いて形成してもよい。

【0068】(実施形態2)本実施形態は、ゲート絶縁膜の厚さが異なる三種類の電界効果トランジスタを有する半導体集積回路装置に本発明を適用した例について説明する。

【0069】図15は本発明の実施形態2である半導体集積回路装置に搭載された三種類の電界効果トランジスタの構成を示す断面図である。

【0070】図15に示すように、本実施形態の半導体集積回路装置は、例えば単結晶珪素からなるp型半導体基板21を主体とする構成になっている。

【0071】前記p型半導体基板21の主面には第1の素子形成領域、第2の素子形成領域及び第3の素子形成領域が形成されている。第1、第2、第3の夫々の素子形成領域は、p型半導体基板21の主面の素子分離領域に形成された溝24及びこの溝24内に埋め込まれた埋込絶縁膜25によって周囲を規定され、互いに絶縁分離

(電氣的に分離)されている。

【0072】前記第1、第2、第3の夫々の素子形成領域にはp型ウェル領域26が形成されている。

【0073】前記第1の素子形成領域には、nチャネル導電型の電界効果トランジスタQ3が構成されている。この電界効果トランジスタQ3は、例えばnチャネル型MISFETで構成され、主に、チャネル形成領域として使用されるp型ウェル領域26、ゲート絶縁膜31、ゲート電極34、ソース領域及びドレイン領域である一対のn型半導体領域36及び一対のn型半導体領域40で構成されている。n型半導体領域40はn型半導体領域36に比べて高不純物濃度に設定されている。この電界効果トランジスタQ3は、ゲート絶縁膜31の厚さが25[nm]程度に設定されている。ゲート絶縁膜31は、熱酸化膜27、堆積膜28及び堆積膜30で形成されている。

【0074】前記第2の素子形成領域には、nチャネル導電型の電界効果トランジスタQ4が構成されている。この電界効果トランジスタQ4は、例えばnチャネル型MISFETで構成され、主に、チャネル形成領域として使用されるpウェル領域26、ゲート絶縁膜32、ゲート電極34、ソース領域及びドレイン領域である一対のn型半導体領域37及び一対のn型半導体領域41で構成されている。n型半導体領域41はn型半導体領域37に比べて高不純物濃度に設定されている。この電界効果トランジスタQ4は、ゲート絶縁膜32の厚さが12[nm]程度に設定されている。ゲート絶縁膜32は、熱酸化膜29及び堆積膜30で形成されている。

【0075】前記第3の素子形成領域には、nチャネル導電型の電界効果トランジスタQ5が構成されている。この電界効果トランジスタQ5は、例えばnチャネル型MISFETで構成され、主に、チャネル形成領域として使用されるp型ウェル領域26、ゲート絶縁膜33、ゲート電極34、ソース領域及びドレイン領域である一対のn型半導体領域38及び一対のn型半導体領域42で構成されている。n型半導体領域42はn型半導体領域38に比べて高不純物濃度に設定されている。この電界効果トランジスタQ5は、ゲート絶縁膜33の厚さが4[nm]程度に設定されている。ゲート絶縁膜33は熱酸化膜で形成されている。

【0076】このように、電界効果トランジスタQ3のゲート絶縁膜31は、電界効果トランジスタQ4のゲート絶縁膜32よりも厚い膜厚で構成され、電界効果トランジスタQ4のゲート絶縁膜32は、電界効果トランジスタQ5のゲート絶縁膜33よりも厚い膜厚で構成されている。また、電界効果トランジスタQ3のゲート絶縁膜31に印加される電界強度は、電界効果トランジスタQ4のゲート絶縁膜32に印加される電界強度よりも高くなるように構成され、電界効果トランジスタQ4のゲート絶縁膜32に印加される電界強度は、電界効果トラ

ンジスタQ5のゲート絶縁膜33に印加される電界強度よりも高くなるように構成されている。

【0077】次に、前記半導体集積回路装置の製造方法について、図16乃至図22（製造方法を説明するための断面図）を用いて説明する。

【0078】まず、例えば単結晶珪素からなるp型半導体基板21を用意する。次に、前述の実施形態1に示した方法を用いて、前記半導体基板21の主面の素子分離領域に溝24を形成し、その後、溝24内に埋込絶縁膜25を形成して、前記p型半導体基板21の主面の第1の素子形成領域、第2の素子形成領域、第3の素子形成領域の夫々を絶縁分離する。

【0079】次に、前記第1の素子形成領域上、第2の素子形成領域上及び第3の素子形成領域上に不純物導入用のバッファ絶縁膜22を形成し、その後、前記第1、第2、第3の夫々の素子形成領域にn型ウェル領域26を形成する。ここまでの工程を図16に示す。

【0080】次に、フッ酸水溶液を用いたウェットエッチング法で前記バッファ絶縁膜22を除去し、前記p型半導体基板21の主面の第1の素子形成領域、第2の素子形成領域及び第3の素子形成領域の表面を露出する。

【0081】次に、ドライ酸化法で熱酸化処理を施し、前記p型半導体基板1の主面の第1、第2及び第3の素子形成領域上に5[nm]程度の厚さの熱酸化膜27を形成する。

【0082】次に、化学気相成長法を使用し、前記熱酸化膜8を形成した直後に、熱酸化膜27上及び埋込絶縁膜25上を含むp型半導体基板21上の全面に、13[nm]程度の厚さの酸化珪素膜からなる堆積膜28を形成する。ここまでの工程を図17に示す。

【0083】次に、前記p型半導体基板21の主面の第1の素子形成領域上を覆い、第2及び第3の素子形成領域上が開口されたマスクM20を形成する。マスクM20は、フォトリソグラフ技術を用いたフォトリソグラフィ技術で形成する。マスクM20は、例えば、その端部が埋込絶縁膜25上に位置するように形成される。

【0084】次に、前記マスクM20をエッチングマスクとして使用し、前記p型半導体基板1の主面の第2及び第3の素子形成領域上の堆積膜28及び熱酸化膜27をウェットエッチング法で除去する。この工程において、埋込絶縁膜5は堆積膜28で覆われているので、堆積膜28が除去されるまで埋込絶縁膜25はエッチングされない。ここまでの工程を図18に示す。

【0085】次に、前記マスクM20をアッシングして除去した後、ドライ酸化法で熱酸化処理を施し、前記p型半導体基板1の主面の第2及び第3の素子形成領域上に5[nm]程度の厚さの熱酸化膜29を形成する。この熱酸化処理工程において、堆積膜28は緻密化されて膜質が向上する。また、p型半導体基板21の主面の第1の素子形成領域と熱酸化膜27との間に極薄い熱酸化

膜が生成される。

【0086】次に、化学気相成長法を使用し、前記熱酸化膜29を形成した直後に、堆積膜28上、熱酸化膜29上及び埋込絶縁膜25上を含むp型半導体基板21上の全面に、7[nm]程度の厚さの酸化珪素膜からなる堆積膜30形成する。この工程により、第1の素子形成領域上に熱酸化膜27、堆積膜28及び堆積膜30からなるゲート絶縁膜31が形成され、第2の素子形成領域上に熱酸化膜29及び堆積膜30からなるゲート絶縁膜32が形成される。ここまでの工程を図19に示す。

【0087】次に、前記p型半導体基板21の主面の第1及び第2の素子形成領域上を覆い、第3の素子形成領域上が開口されたマスクM21を形成する。マスクM21は、フォトリソグラフィ技術で形成する。マスクM21は、例えば、その端部が埋込絶縁膜25上に位置するように形成される。

【0088】次に、前記マスクM21をエッチングマスクとして使用し、前記p型半導体基板1の主面の第3の素子形成領域上の堆積膜30及び熱酸化膜29をウェットエッチング法で除去する。この工程において、埋込絶縁膜25は堆積膜30で覆われているので、堆積膜30が除去されるまで埋込絶縁膜25はエッチングされない。ここまでの工程を図20に示す。

【0089】次に、前記マスクM21をアッシングして除去した後、ドライ酸化法で熱酸化処理を施し、前記p型半導体基板1の主面の第3の素子形成領域上に4.5[nm]程度の厚さの熱酸化膜からなるゲート絶縁膜33を形成する。この工程において、第1の素子形成領域と熱酸化膜27との間及び第2の素子形成領域と熱酸化膜29との間に極薄い熱酸化膜が生成される。また、堆積膜28及び堆積膜30は緻密化されて膜質が向上する。この工程により、異なる厚さのゲート絶縁膜31、32、及び33が形成される。

【0090】次に、前記ゲート絶縁膜31上、ゲート絶縁膜32上及びゲート絶縁膜33上を含むp型半導体基板21上の全面に200[nm]程度の厚さ及び 4×10^{20} [atoms/cm³]程度の不純物濃度の多結晶珪素膜を化学気相成長法で形成し、その後、前記多結晶珪素膜上の全面に50[nm]程度の厚さの酸化珪素膜35を化学気相成長法で形成する。

【0091】次に、前記酸化珪素膜35、前記多結晶珪素膜の夫々に順次パターンニングを施し、前記ゲート絶縁膜31上、ゲート絶縁膜32上、ゲート絶縁膜33上の夫々にゲート電極34を形成する。このゲート電極34の夫々は、ゲート幅方向の両端部が埋込絶縁膜25上に引き出された形状で形成される。

【0092】次に、前記第1の素子形成領域に一对のn型半導領域36をイオン打込み法で選択的に形成し、その後、前記第2の素子形成領域に一对のn型半導領域37をイオン打込み法で選択的に形成し、その後、前記第

3の素子形成領域に一对のn型半導領域38をイオン打込み法で選択的に形成する。ここまでの工程を図21に示す。

【0093】次に、前記ゲート電極34の側面を覆うサイドウォールスペーサ39を形成した後、前記第1の素子形成領域に一对のn型半導領域40をイオン打込み法で選択的に形成し、その後、前記第2の素子形成領域に一对のn型半導領域41をイオン打込み法で選択的に形成し、その後、前記第3の素子形成領域に一对のn型半導領域42をイオン打込み法で選択的に形成する。この工程により、電界効果トランジスタQ3、Q4及びQ5がほぼ完成する。ここまでの工程を図22に示す。

【0094】次に、前記p型半導体基板21上の全面に層間絶縁膜43を形成し、その後、前記層間絶縁膜43に接続孔を形成し、その後、前記層間絶縁膜43上に第1層目の配線44を形成することにより、図15に示す状態となる。

【0095】本実施形態では、第3の素子形成領域と埋込絶縁膜25との間の素子分離領域端部に発生した段差は15[nm]であった。電界効果トランジスタQ3及びQ4のゲート絶縁膜を通常の熱酸化膜で形成した場合には、第3の素子形成領域と埋込絶縁膜25との間の素子分離領域部の段差が40[nm]であったことから、本発明により約3分の1に低減できた。これにより、電界効果トランジスタQ5のサブシュレッシュ特性に見られたキंकによるしきい値電圧の0.3[V]の低下を抑制でき、電界効果トランジスタQ5の正常な動作を実現できることが分かった。

【0096】(実施形態3) 本実施形態は、フラッシュメモリを内蔵するマイクロコンピュータ(半導体集積回路装置)に本発明を適用した例について説明する。

【0097】図23は本発明の実施形態3であるマイクロコンピュータの概略構成を示すブロック図である。

【0098】図23に示すように、マイクロコンピュータ80は、中央処理部、制御部、演算部、記憶部、入出力部等を同一基板に搭載している。中央処理部、制御部、及び演算部はプロセッサユニット(CPU)81で構成されている。入出力部はデータ入出力回路ユニット(I/O)83で構成されている。記憶部はRAMユニット84及びROMユニット85で構成されている。RAMユニット84にはDRAM(Dynamic Random Access Memory)及びSRAM(Static Random Access Memory)が搭載されている。ROMユニット85にはフラッシュメモリが搭載されている。これらの各ユニット間には入出力データバス(I/O BUS)87を介在して相互に接続されている。また、マイクロコンピュータ80は、電源部86及びクロック発振器82を搭載している。

【0099】前記プロセッサユニット81には1.8[V]動作する電界効果トランジスタが使用され、前記

データ入出力回路ユニット83には1.8[V]動作する電界効果トランジスタ及び3.3[V]動作する電界効果トランジスタが使用され、前記電源部には15[V]動作する電界効果トランジスタが使用されている。

【0100】次に、前記マイクロコンピュータの具体的な構造について、図24(断面図)を用いて説明する。図24は、ROMユニットのフラッシュメモリを構成する不揮発性記憶素子(メモリセル)、15[V]動作する電界効果トランジスタ及び1.8[V]動作する電界効果トランジスタを示している。

【0101】図24に示すように、前記マイクロコンピュータ80は、例えば単結晶珪素からなるp型半導体基板51を主体とする構成になっている。

【0102】前記p型半導体基板51の主面には複数の素子形成領域が形成されている。複数の素子形成領域の夫々は、p型半導体基板51の主面の素子分離領域に形成された溝54及びこの溝54内に埋め込まれた埋込絶縁膜55によって周囲を規定され、互いに絶縁分離(電氣的に分離)されている。

【0103】前記複数の素子形成領域のうち、第1の素子形成領域にはディープn型ウェル領域56及びp型ウェル領域57が形成され、第2の素子形成領域にはn型ウェル領域58が形成され、第3の素子形成領域にはp型ウェル領域57が形成されている。

【0104】前記第1の素子形成領域には書き込み動作及び消去動作をトンネル効果によって行う不揮発性記憶素子QF1が構成されている。この不揮発性記憶素子QF1は、主に、チャネル形成領域として使用されるp型ウェル領域57、ゲート絶縁膜(トンネル絶縁膜)59、浮遊ゲート電極(フローティングゲート電極)70、層間絶縁膜61、制御ゲート電極(コントロールゲート電極)66、ソース領域及びドレイン領域である一対のn型半導体領域71で構成されている。

【0105】前記不揮発性記憶素子QF1へのデータの書き込みは、例えば、制御ゲート電極66とドレイン領域(一方のn型半導体領域71)との間に所定の電圧を印加して、浮遊ゲート電極70に蓄えられた電子を、浮遊ゲート電極70からドレイン領域へゲート絶縁膜59を通したエレクトロントンネリングで行なう。また、不揮発性記憶素子QF1のデータの消去は、例えば、制御ゲート電極66に所定の電圧を印加してチャネル形成領域をn型に反転させ、反転したチャネル形成領域中の電子を浮遊ゲート電極70にゲート絶縁膜59を通したエレクトロントンネリングで行なう。

【0106】前記第2の素子形成領域には、15[V]動作するpチャネル導電型の電界効果トランジスタQ6が構成されている。この電界効果トランジスタQ6は、例えばpチャネル型MISFETで構成され、主に、チャネル形成領域として使用されるn型ウェル領域58、

ゲート絶縁膜64、ゲート電極68、ソース領域及びドレイン領域である一対のp型半導体領域72及び一対のp型半導体領域75で構成されている。p型半導体領域75はp型半導体領域72に比べて高不純物濃度に設定されている。この電界効果トランジスタQ6は、ゲート絶縁膜31の厚さが20[nm]程度に設定されている。ゲート絶縁膜64は、熱酸化膜62及び堆積膜63で形成されている。

【0107】前記第3の素子形成領域には、1.8[V]動作するnチャネル導電型の電界効果トランジスタQ7が構成されている。この電界効果トランジスタQ7は、例えばnチャネル型MISFETで構成され、主に、チャネル形成領域として使用されるp型ウェル領域57、ゲート絶縁膜65、ゲート電極68、ソース領域及びドレイン領域である一対のn型半導体領域73及び一対のn型半導体領域76で構成されている。n型半導体領域76はn型半導体領域73に比べて高不純物濃度に設定されている。この電界効果トランジスタQ7は、ゲート絶縁膜65の厚さが12[nm]程度に設定されている。ゲート絶縁膜65は熱酸化膜で形成されている。

【0108】このように、電界効果トランジスタQ6のゲート絶縁膜64は、電界効果トランジスタQ7のゲート絶縁膜65よりも厚い膜厚で構成されている。また、電界効果トランジスタQ6のゲート絶縁膜64に印加される電界強度は、電界効果トランジスタQ7のゲート絶縁膜65に印加される電界強度よりも高くなるように構成されている。

【0109】次に、前記マイクロコンピュータの製造方法について、図25乃至図32(製造方法を説明するための断面図)を用いて説明する。

【0110】まず、例えば単結晶珪素からなるp型半導体基板51を用意する。次に、前述の実施形態1に示した方法を用いて、前記p型半導体基板51の主面の素子分離領域に溝54を形成し、その後、溝54内に埋込絶縁膜55を形成して、前記p型半導体基板51の主面の第1の素子形成領域、第2の素子形成領域、第3の素子形成領域の夫々を絶縁分離(電氣的に分離)する。

【0111】次に、熱酸化処理を施し、前記p型半導体基板51の主面の第1の素子形成領域上、第2の素子形成領域及び第3の素子形成領域上に10[nm]程度の厚さの酸化珪素膜からなる不純物導入用のバッファ絶縁膜52を形成する。

【0112】次に、前記第1の素子形成領域に不純物として燐をイオン打込み法で選択的に導入してディープn型ウェル領域56を形成する。燐の導入は、最終的な導入量が 1×10^{13} [atoms/cm²] 程度及び導入時のエネルギー量が3000 [KeV] の条件下で行う。

【0113】次に、前記第1の素子形成領域及び第3の素子形成領域に不純物としてボロンをイオン打込み法で

選択的に導入してp型ウェル領域57を形成する。ボロンの導入は三回に分けて行う。一回目の導入は、最終的な導入量が 1×10^{13} [atoms/cm²] 程度及び導入時のエネルギー量が350 [KeV] の条件下で行う。二回目の導入は、最終的な導入量が 3×10^{12} [atoms/cm²] 程度及び導入時のエネルギー量が130 [KeV] の条件下で行う。三回目の導入は、最終的な導入量が 1.2×10^{12} [atoms/cm²] 程度及び導入時のエネルギー量が50 [KeV] の条件下で行う。

【0114】次に、前記第2の素子形成領域に不純物として磷及びボロンをイオン打込み法で選択的に導入してn型ウェル領域58を形成する。磷の導入は三回に分けて行い、その後、ボロンの導入を行う。一回目の磷の導入は、最終的な導入量が 1.5×10^{13} [atoms/cm²] 程度及び導入時のエネルギー量が700 [KeV] の条件下で行う。二回目の磷の導入は、最終的な導入量が 3×10^{13} [atoms/cm²] 程度及び導入時のエネルギー量が370 [KeV] の条件下で行う。三回目の磷の導入は、最終的な導入量が 1×10^{12} [atoms/cm²] 程度及び導入時のエネルギー量が180 [KeV] の条件下で行う。ボロンの導入は、最終的な導入量が 1.5×10^{12} [atoms/cm²] 程度及び導入時のエネルギー量が20 [KeV] の条件下で行う。ここまでの工程を図25に示す。

【0115】次に、フッ酸水溶液を用いたウェットエッチング法で前記バッファ絶縁膜52を除去し、前記p型半導体基板51の主面の第1の素子形成領域、第2の素子形成領域及び第3の素子形成領域の表面を露出する。

【0116】次に、ドライ酸化法で熱酸化処理を施し、前記p型半導体基板1の主面の第1の素子形成領域上に10 [nm] 程度の厚さの熱酸化膜からなるゲート絶縁膜59を形成する。この工程において、第2の素子形成領域及び第3の素子形成領域上にも熱酸化膜が形成される。

【0117】次に、前記素子形成領域上を含むp型半導体基板51上の全面に50 [nm] 程度の厚さ及び 4×10^{20} [atoms/cm³] 程度の不純物濃度の多結晶珪素膜からなる浮遊ゲート材60を化学気相成長法で形成する。

【0118】次に、化学気相成長法を使用し、前記浮遊ゲート材60上の全面に、4 [nm] 程度の厚さの酸化膜、7 [nm] 程度の厚さの窒化膜、4 [nm] 程度の厚さの酸化膜、11 [nm] 程度の厚さの窒化膜を順次形成して層間絶縁膜61を形成する。ここまでの工程を図26に示す。

【0119】次に、前記第1の素子形成領域上を覆い、第2及び第3の素子形成領域上が開口されたマスクM50を形成する。マスクM50は、フォトリソグラフィ技術を用いたフォトリソグラフィ技術で形成する。

【0120】次に、前記マスクM50をエッチングマスクとして使用し、前記層間絶縁膜61、浮遊ゲート材6

0の夫々に順次パターンニングを施す。ここまでの工程を図27に示す。

【0121】次に、前記マスクM50をアッシングして除去した後、前記第2の素子形成領域上及び第3の素子形成領域上の熱酸化膜(ゲート絶縁膜59)をウェットエッチング法で除去する。

【0122】次に、ドライ酸化法で熱酸化処理を施し、前記第2及び第3の素子形成領域上に3 [nm] 程度の厚さの熱酸化膜62を形成する。その後、化学気相成長法を使用し、熱酸化膜62上及び埋込絶縁膜55上を含むp型半導体基板51上の全面に、17 [nm] の厚さの酸化珪素膜からなる堆積膜63を形成する。この工程により、第2の素子形成領域上に熱酸化膜62及び堆積膜63からなるゲート絶縁膜64が形成される。ここまでの工程を図28に示す。

【0123】次に、前記第2の素子形成領域上を覆い、第1及び第3の素子形成領域上が開口されたマスクM51形成する。マスクM51はフォトリソグラフィ技術で形成する。マスクM51は、例えば、その端部が埋込絶縁膜55上に位置するように形成される。

【0124】次に、前記マスクM51をエッチングマスクとして使用し、前記第3の素子形成領域上の堆積膜63及び熱酸化膜62、層間絶縁膜61上の堆積膜63をウェットエッチング法で除去する。この工程において、埋込絶縁膜55は堆積膜63で覆われているので、堆積膜63が除去されるまで埋込絶縁膜55はエッチングされない。ここまでの工程を図29に示す。

【0125】次に、前記マスクM51をアッシングして除去した後、ドライ酸化法で熱酸化処理を施し、前記第3の素子形成領域上に5 [nm] 程度の厚さの熱酸化膜からなるゲート絶縁膜65を形成する。この工程において、p型半導体基板51の主面の第2の素子形成領域と熱酸化膜62との間に極薄い熱酸化膜が生成される。また、堆積膜63は緻密化されて膜質が向上する。この工程により、厚さが異なるゲート絶縁膜64及びゲート絶縁膜65が形成される。

【0126】次に、前記ゲート絶縁膜64上及びゲート絶縁膜65上を含むp型半導体基板51上の全面に200 [nm] 程度の厚さ及び 4×10^{20} [atoms/cm³] 程度の不純物濃度の多結晶珪素膜を化学気相成長法で形成し、その後、前記多結晶珪素膜上の全面に50 [nm] 程度の厚さの酸化珪素膜69を化学気相成長法で形成する。

【0127】次に、前記酸化珪素膜69、前記多結晶珪素膜の夫々に順次パターンニングを施し、前記層間絶縁膜61上に制御ゲート電極66、素子分離領域上にダミー配線67を形成すると共に、前記ゲート絶縁膜64上及びゲート絶縁膜65上にゲート電極68を形成する。ここまでの工程を図30に示す。

【0128】次に、前記第2及び第3の素子形成領域上

を覆い、第1の領域上が開口されたマスクM52を形成する。マスクM52は、フォトリソグラフィ技術を用いたフォトリソグラフィ技術で形成する。

【0129】次に、前記マスクM52をエッチングマスクとして使用し、前記層間絶縁膜61、浮遊ゲート材70に順次ドライエッチングを施して浮遊ゲート電極70を形成する。この後、前記マスクM51を不純物導入用マスクとして使用し、前記第1の素子形成領域に不純物として砒素をイオン打込み法で選択的に導入してソース領域及びドレイン領域である一対のn型半導体領域71を形成する。砒素の導入は、最終的な導入量が 1×10^{15} [atoms/cm²] 程度及び導入時のエネルギー量が50

[KeV]の条件下で行う。この工程により、不揮発性記憶素子QF1がほぼ完成する。

【0130】次に、前記第2の素子形成領域に不純物としてボロンをイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のp型半導体領域72を形成した後、前記第3の素子形成領域に不純物として燐をイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のn型半導体領域73を形成する。ここまでの工程を図32に示す。

【0131】次に、前記ゲート電極68の側面を覆うサイドウォールスペーサ74を形成するとともに、不揮発性記憶素子QF1の電極側面を覆うサイドウォールスペーサ74を形成する。サイドウォールスペーサ74は、p型半導体基板1上の全面に窒化珪素膜からなる絶縁膜を形成し、その後、前記絶縁膜にRIE等の異方性エッチングを施すことによって形成される。

【0132】次に、前記第2の素子形成領域に不純物としてボロンをイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のp型半導体領域75を形成する。その後、前記第3の素子形成領域に不純物として燐をイオン打込み法で選択的に導入し、ソース領域及びドレイン領域である一対のn型半導体領域76を形成することにより、図24に示す状態となる。

【0133】この後、層間絶縁膜、接続孔、金属配線等を形成することにより、マイクロコンピュータが形成される。

【0134】本実施形態では、第3の素子形成領域と埋込絶縁膜55との間の素子分離領域端部の段差は5 [nm]であった。電界効果トランジスタQ7のゲート耐圧及びサブシュレシユ特性ともに劣化は見られず、高電圧用の電界効果トランジスタを形成しない場合の特性に一致したことから、本発明の有効性を確認できた。

【0135】なお、本実施形態では、図30に示す工程において、熱酸化処理を施して第3の素子形成領域上に厚さ5 [nm]の熱酸化膜からなるゲート絶縁膜65を形成したが、この直後に1酸化窒素(NO)中による摂氏900℃の窒化処理を追加することにより、ゲート絶縁膜65の信頼性を更に向上することが可能である。

【0136】(実施形態4) 本実施形態では、ゲート絶縁膜の厚さが異なる二種類の電界効果トランジスタと不揮発性記憶素子とを有する半導体集積回路装置に本発明を適用した例について、図33乃至図38(製造方法を説明するための断面図)を用いて説明する。

【0137】まず、図33は、p型半導体基板91の主面の素子分離領域に溝94及びこの溝94内に埋込絶縁膜95を形成して素子形成領域間を絶縁分離し、その後、p型半導体基板91の主面の第1の素子形成領域にディープn型ウエル領域96を形成し、その後、p型半導体基板91の主面の第1及び第3の素子形成領域にp型ウエル領域97を形成し、その後、p型半導体基板91の主面の第2の素子形成領域にn型ウエル領域98を形成し、その後、熱酸化処理を施して前記第1の素子形成領域上に不揮発性記憶素子のゲート絶縁膜(トンネル絶縁膜)99を形成した状態を示している。

【0138】次に、前記素子形成領域上を含むp型半導体基板91上の全面に50 [nm]程度の厚さ及び 4×10^{20} [atoms/cm³]程度の不純物濃度の多結晶珪素膜からなる浮遊ゲート材100を化学気相成長法で形成し、その後、前記第1の素子形成領域上を覆い、第2及び第3の素子形成領域上が開口されたフォトリソグラフィ技術からなるマスクM90を形成し、その後、マスクM90を用いて前記浮遊ゲート材100にエッチングを施し、その後、前記第2及び第3の素子形成領域上のゲート絶縁膜99をウェットエッチング法で除去する。ここまでの工程を図34に示す。

【0139】次に、前記マスクM90をアッシングして除去した後、熱酸化処理を施して前記第2及び第3の素子形成領域上に厚さ4 [nm]の熱酸化膜101を形成し、その後、前記熱酸化膜101上を含むp型半導体基板91上の全面に化学気相成長法で厚さ16 [nm]の酸化珪素膜からなる堆積膜(層間絶縁膜)102を形成する。この工程において、第2の素子形成領域上に熱酸化膜101及び堆積膜102からなるゲート絶縁膜103が形成されると共に、浮遊ゲート材100上に堆積膜102からなる層間絶縁膜が形成される。

【0140】次に、前記第1及び第2の素子形成領域上を覆い、第3の素子形成領域上が開口されたフォトリソグラフィ技術からなるマスクM91を形成し、その後、前記第3の素子形成領域上の堆積膜102及び熱酸化膜101をウェットエッチング法で除去する。この工程において、埋込絶縁膜95は堆積膜102で覆われているので、堆積膜102が除去されるまで埋込絶縁膜95はエッチングされない。マスクM91は、例えば、その端部が埋込絶縁膜95上に位置するように形成される。ここまでの工程を図35に示す。

【0141】次に、前記マスクM91をアッシングして除去した後、熱酸化処理を施して前記第3の素子形成領域上に厚さ5 [nm]の熱酸化膜からなるゲート絶縁膜

104を形成し、その後、前記ゲート絶縁膜103上及びゲート絶縁膜104上を含むp型半導体基板91上の全面に200[nm]程度の厚さ及び 4×10^{20} [atom/cm³]程度の不純物濃度の多結晶珪素膜105を化学気相成長法で形成し、その後、前記多結晶珪素膜上の全面に50[nm]程度の厚さの酸化珪素膜106を化学気相成長法で形成する。ここまでの工程を図36に示す。

【0142】次に、前記酸化珪素膜106、多結晶珪素膜105の夫々にパターンニングを施して、層間絶縁膜(堆積膜102)上に制御ゲート電極107を形成すると共に、ゲート絶縁膜103上及びゲート絶縁膜104上にゲート電極108を形成し、その後、前記第2及び第3の素子形成領域上を覆い、第1の素子形成領域上が開口されたフォトリソ膜からなるマスクM92を形成する。ここまでの工程を図37に示す。

【0143】次に、前記マスクM92をエッチングマスクとして使用し、前記堆積膜102、浮遊ゲート材100の夫々に順次パターンニングを施して浮遊ゲート電極109を形成する。

【0144】次に、前記第1の素子形成領域に不純物をイオン打込み法で選択的に導入してソース領域及びドレイン領域である一対のn型半導体領域110を形成する。この工程において、不揮発性記憶素子QF2が形成される。この後、前記ゲート電極108の側面、不揮発性記憶素子QF2の電極側面の夫々に厚さ80[nm]の窒化膜からなるサイドウォールスペーサ111を形成する。

【0145】次に、前記第2の素子形成領域に不純物をイオン打込み法で選択的に導入して一対のp型半導体領域112を形成することにより、電界効果トランジスタQ8が形成される。

【0146】次に、前記第3の素子形成領域に不純物をイオン打込み法で選択的に導入して一対のn型半導体領域113を形成することにより、図38に示すように、電界効果トランジスタQ9が形成される。これにより、本実施形態の半導体集積回路装置の主要部が完成する。この後、層間絶縁膜、接続孔、金属配線の形成を行って本実施形態の製造工程を完了する。

【0147】本実施形態では、第3素子形成領域と埋込絶縁膜25との間の素子分離領域部の段差は10[nm]と従来技術での約3分の1に低減された。また、電界効果トランジスタQ8のゲート絶縁膜103と不揮発性記憶素子QF2の層間絶縁膜を同一の堆積膜で形成しても、正常なトランジスタ動作と信頼性の劣化のないメモリセル動作を実現できた。

【0148】また、本実施形態では、電界効果トランジスタQ8のゲート絶縁膜103である堆積膜102と不揮発性記憶素子QF2の層間絶縁膜(堆積膜102)とを同一工程で形成したので、半導体集積回路装置の製造

工程数を低減することができる。

【0149】(実施形態5) 本実施形態では、0.25ミクロン製造技術を用いたDRAM(半導体集積回路装置)に本発明を適用した例について説明する。

【0150】図39は本発明の実施形態5であるDRAMの概略構成を示す断面図であり、1ビットの情報を記憶するメモリセル及び周辺回路を構成する電界効果トランジスタを示している。

【0151】図39に示すように、本実施形態のDRAMは、単結晶珪素からなるp型半導体基板121を主体とする構成になっている。

【0152】前記p型半導体基板121には複数の素子形成領域が形成されている。複数の素子形成領域の夫々は、p型半導体基板121の主面の素子分離領域に形成された溝124及びこの溝124内に埋め込まれた埋込絶縁膜125によって周囲を規定され、互いに絶縁分離(電気的に分離)されている。p型半導体基板121のメモリセル部にはディープn型ウエル領域126及びp型ウエル領域127が形成され、p型半導体基板121の周辺回路部にはp型ウエル領域127が形成されている。

【0153】1ビットの情報を記憶するメモリセルは、メモリセル選択用の電界効果トランジスタQ10と情報蓄積用の容量素子MCとの直列回路で構成され、ワード線WLとデータ線DLとが交差する領域に配置されている。

【0154】電界効果トランジスタQ10は、p型半導体基板1の主面の第1の素子形成領域に構成されている。この電界効果トランジスタQ10は、nチャネル型MISFETで構成され、主に、チャネル形成領域として使用されるp型ウエル領域127、ゲート絶縁膜130、ゲート電極132、ソース領域及びドレイン領域である一対のn型半導体領域133で構成されている。

【0155】前記容量素子MCは電極140上に誘電体膜141、電極142の夫々を順次積層したスタック構造で構成されている。電極140は、層間絶縁膜138に埋め込まれた導電プラグ139及び層間絶縁膜135に埋め込まれた導電プラグ136を介して電界効果トランジスタQ10の一方のn型半導体領域133に電気的に接続されている。電界効果トランジスタQ10の他方のn型半導体領域133は、導電プラグ136を介してデータ線DLに電気的に接続されている。

【0156】周辺回路を構成する電界効果トランジスタQ11は、p型半導体基板121の主面の第2の素子形成領域に構成されている。この電界効果トランジスタQ11は、nチャネル型MISFETで構成され、主に、チャネル形成領域として使用されるp型ウエル領域127、ゲート絶縁膜131、ゲート電極132、ソース領域及びドレイン領域である一対のn型半導体領域134で構成されている。一対のn型半導体領域134の夫々

には、層間絶縁膜135に埋め込まれた導電プラグ136を介して配線137の夫々が電氣的に接続されている。

【0157】前記メモリセルの電界効果トランジスタQ10のゲート絶縁膜130は熱酸化膜128及び堆積膜129で形成されている。熱酸化膜128は2[nm]程度の厚さで形成され、堆積膜129は6[nm]程度の厚さで形成されている。前記周辺回路を構成する電界効果トランジスタQ11のゲート絶縁膜131は、厚さ4.5[nm]程度の熱酸化膜で形成されている。これらのゲート絶縁膜130、ゲート絶縁膜131の夫々は、前述の実施形態で示した製造方法で形成される。

【0158】本実施形態では、第2素子形成領域と埋込絶縁膜125との間の素子分離領域部の段差は4[nm]であった。メモリセルの電界効果トランジスタのゲート絶縁膜を通常の熱酸化膜で形成した場合には、第2素子形成領域と埋込絶縁膜125との間の素子分離領域端部の段差が10[nm]であったことから、本発明により2分の1に低減された。これにより、低電圧用電界効果トランジスタQ11のゲート欠陥密度を従来の0.8ヶ/cm²から0.3ヶ/cm²へ大幅に低減でき、結果的に、メモリの製造歩留まりを20%向上することができた。また、低電圧用電界効果トランジスタQ11のゲート破壊耐圧も15%改善できた。本実施形態により、本発明のDRAMでの有効性が確認でき、その工業的影響は非常に大きいことが分かった。

【0159】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0160】例えば、本発明は、ゲート絶縁膜の厚さが異なる四種類以上の電界効果トランジスタを有する半導体集積回路装置に適用できる。

【0161】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。ゲート絶縁膜の厚さが異なる複数種類の電界効果トランジスタを有する半導体集積回路装置の信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1である半導体集積回路装置に搭載された二つの電界効果トランジスタの概略構成を示す模式的平面図である。

【図2】図1に示すA-A線の位置で切った断面図である。

【図3】図1に示すB-B線の位置で切った断面図である。

【図4】図1に示すC-C線の位置で切った断面図である。

【図5】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図6】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図7】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図8】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図9】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図10】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図11】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図12】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図13】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図14】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図15】本発明の実施形態2である半導体集積回路装置に搭載された三つの電界効果トランジスタの概略構成を示す断面図である。

【図16】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図17】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図18】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図19】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図20】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図21】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図22】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図23】本発明の実施形態3であるマイクロコンピュータ(半導体集積回路装置)の概略構成を示すブロック図である。

【図24】前記マイクロコンピュータに搭載された三つの電界効果トランジスタの概略構成を示す断面図である。

【図25】前記マイクロコンピュータの製造方法を説明するための断面図である。

【図26】前記マイクロコンピュータの製造方法を説明するための断面図である。

【図27】前記マイクロコンピュータの製造方法を説明するための断面図である。

【図28】前記マイクロコンピュータの製造方法を説明

するための断面図である。

【図 2 9】前記マイクロコンピュータの製造方法を説明するための断面図である。

【図 3 0】前記マイクロコンピュータの製造方法を説明するための断面図である。

【図 3 1】前記マイクロコンピュータの製造方法を説明するための断面図である。

【図 3 2】前記マイクロコンピュータの製造方法を説明するための断面図である。

【図 3 3】本発明の実施形態 4 である半導体集積回路装置の製造方法を説明するための断面図である。

【図 3 4】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図 3 5】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図 3 6】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図 3 7】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図 3 8】前記半導体集積回路装置の製造方法を説明するための断面図である。

【図 3 9】本発明の実施形態 5 である DRAM (半導体集積回路装置) の概略構成を示す断面図である。

【図 4 0】従来の技術を説明するための断面図である。

【図 4 1】従来の技術を説明するための断面図である。

【図 4 2】従来の技術を説明するための断面図である。

【図 4 3】従来の技術を説明するための断面図である。

【図 4 4】従来の技術を説明するための断面図である。

【図 4 5】溝型素子分離におけるキャパシタの耐圧分布と LOCOS 素子分離におけるキャパシタの耐圧分布とを比較した図である。

【図 4 6】溝型素子分離における電界効果トランジスタのサブシュレッシュ特性と LOCOS 素子分離における電界効果トランジスタのサブシュレッシュ特性とを比較

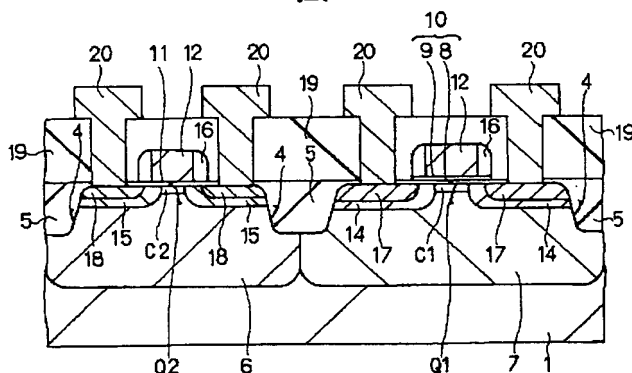
した図である。

【符号の説明】

1…p 型半導体基板、2…熱酸化珪素膜、3…マスク、4…溝、5…埋込絶縁膜、6…p 型ウェル領域、7…n 型ウェル領域、8…熱酸化膜、9…堆積膜、10、11…ゲート絶縁膜、12…ゲート電極、13…酸化珪素膜、14、17…一对の p 型半導体領域、15、18…一对の n 型半導体領域、16…サイドウォールスペーサ、19…層間絶縁膜、20…配線、Q1、Q2…電界効果トランジスタ、21…p 型半導体基板、22…熱酸化珪素膜、24…溝、25…埋込絶縁膜、26…p 型ウェル領域、27、29…熱酸化膜、28、30…堆積膜、31、32、33…ゲート絶縁膜、34…ゲート電極、35…酸化珪素膜、36、37、38、40、41、42…一对の n 型半導体領域、39…サイドウォールスペーサ、43…層間絶縁膜、44…配線、Q3、Q4、Q5…電界効果トランジスタ、51…p 型半導体基板、52…熱酸化珪素膜、54…溝、55…埋込絶縁膜、56、58…n 型ウェル領域、57…p 型ウェル領域、59…ゲート絶縁膜、60…多結晶珪素膜、61…層間絶縁膜、62…熱酸化膜、63…堆積膜、64、65…ゲート絶縁膜、66…制御ゲート電極、67…ダミー配線、68…ゲート電極、69…酸化珪素膜、70…浮遊ゲート電極、71、73、76…一对の n 型半導体領域、72、75…一对の p 型半導体領域、74…サイドウォールスペーサ、80…マイクロコンピュータ、81…プロセッサユニット、82…クロック発振器、83…データ入出回路ユニット、84…RAM ユニット、85…ROM ユニット、86…電源部、87…入出データバス、QF1…不揮発性記憶素子、Q6、Q7…電界効果トランジスタ、91…p 型半導体基板、QF2…不揮発性記憶素子、Q8、Q9…電界効果トランジスタ、121…p 型半導体基板、Q10、Q11…電界効果トランジスタ、C…容量素子。

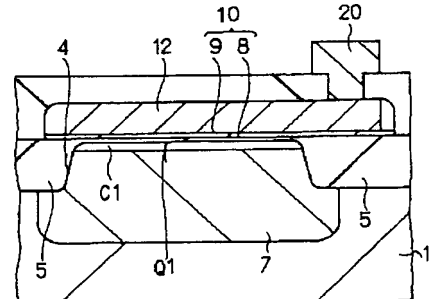
【図 2】

図 2

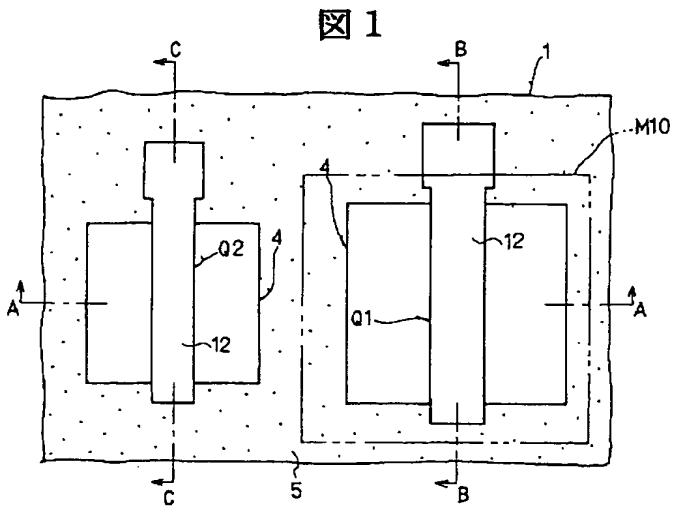


【図 3】

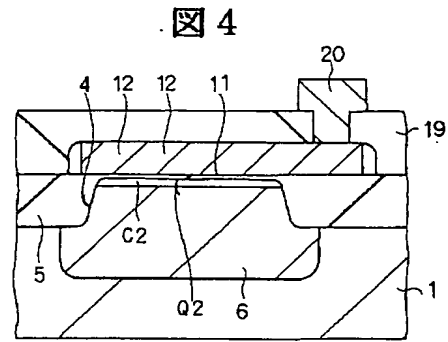
図 3



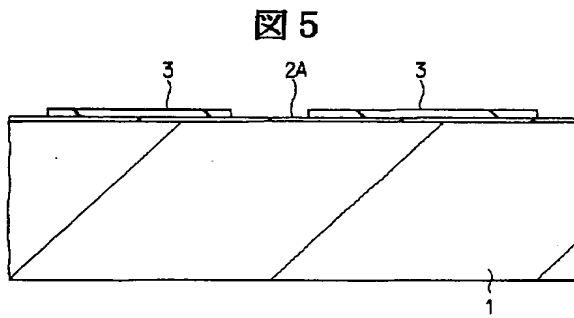
【図 1】



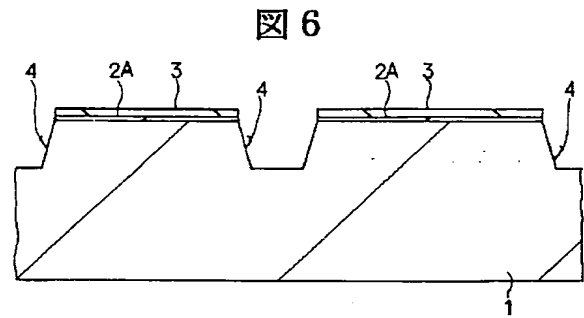
【図4】



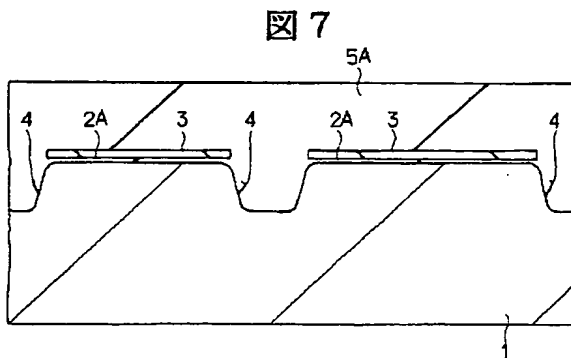
【図 5】



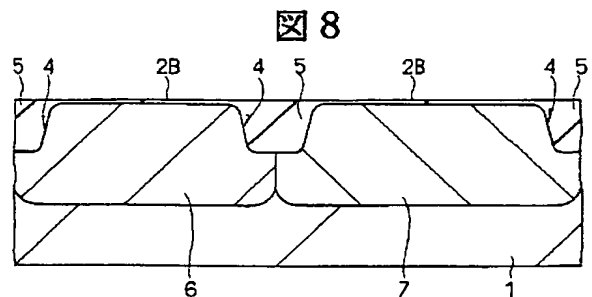
【図 6】



【図 7】

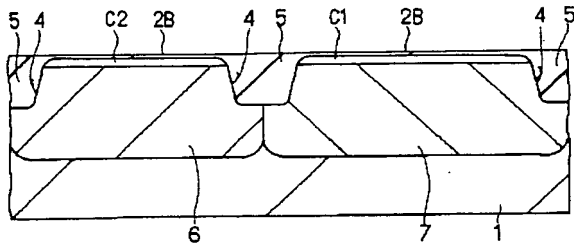


【図 8】



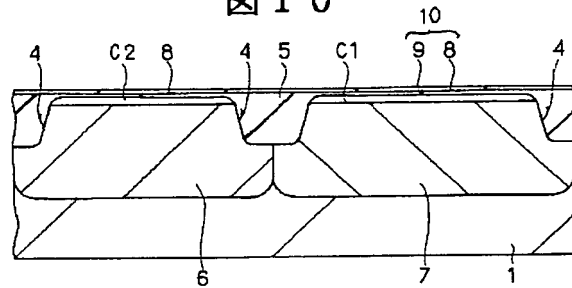
【図 9】

図 9



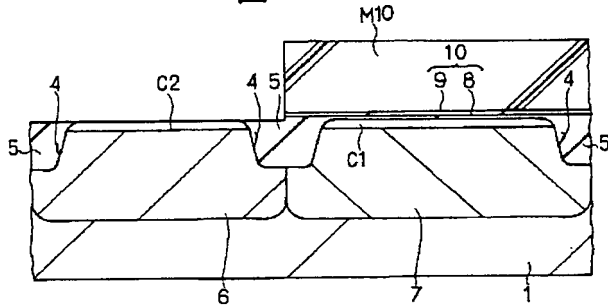
【図 10】

図 10



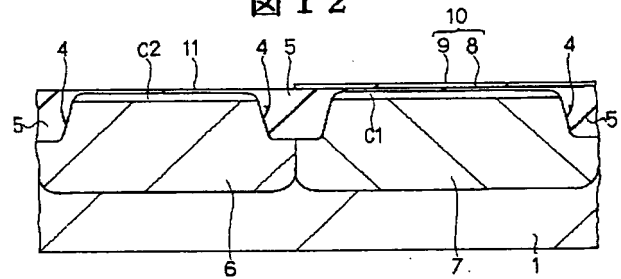
【図 11】

図 11



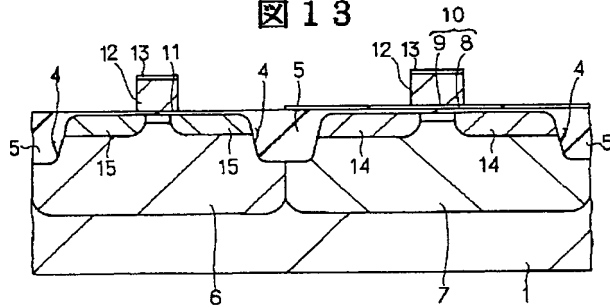
【図 12】

図 12



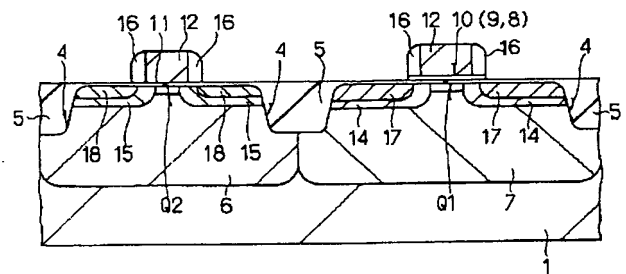
【図 13】

図 13



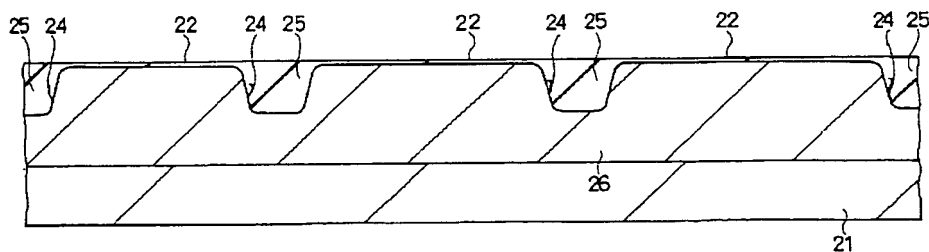
【図 14】

図 14



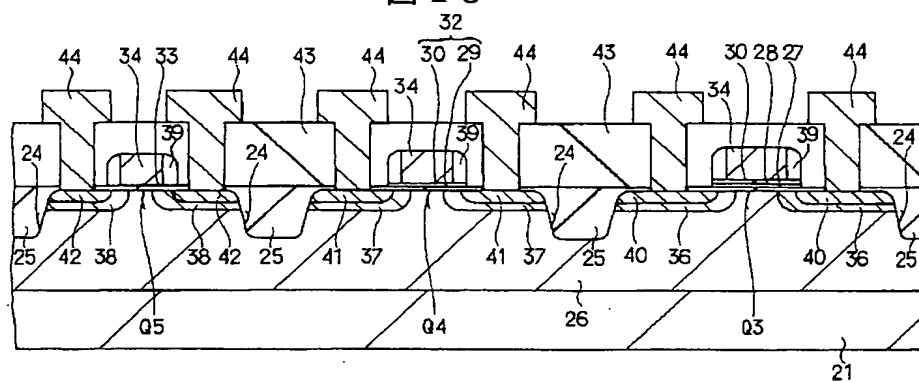
【図 16】

図 16



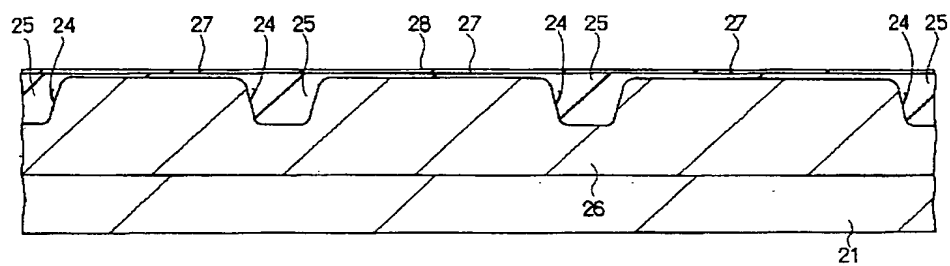
【図 15】

图 15



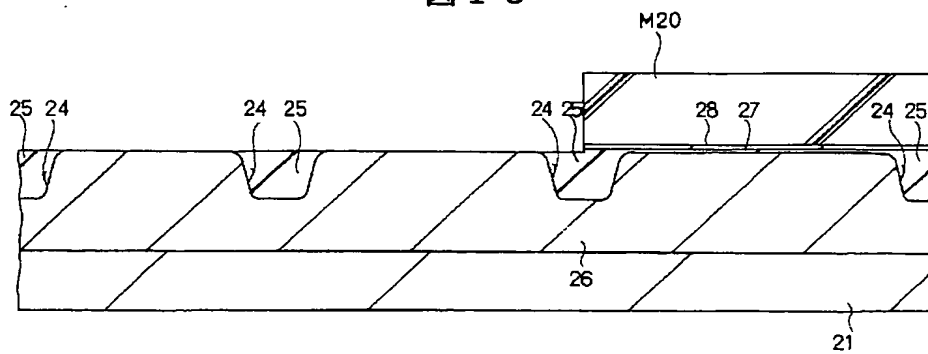
【図 17】

图 17



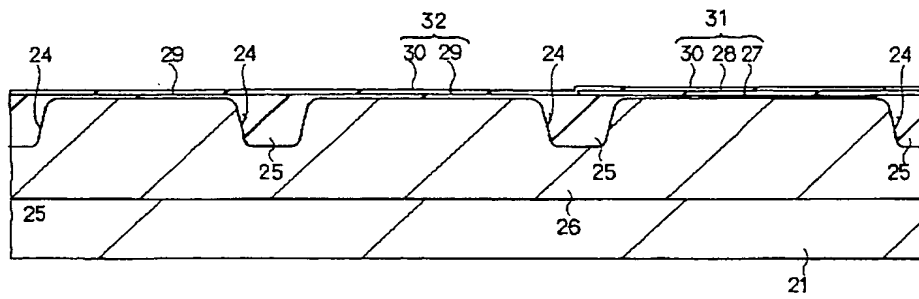
【图 18】

图 18



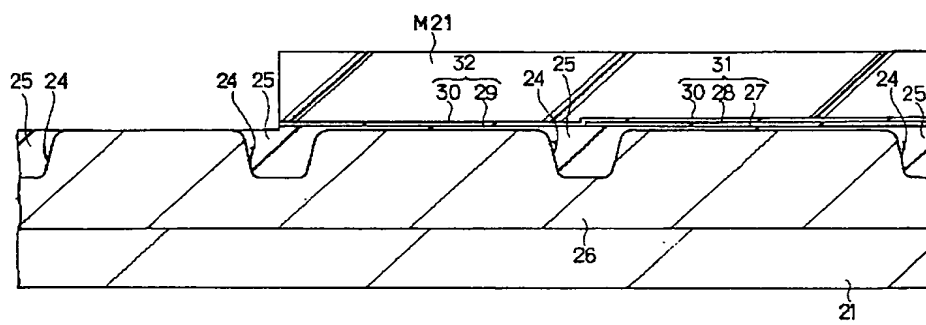
【図 19】

図 19



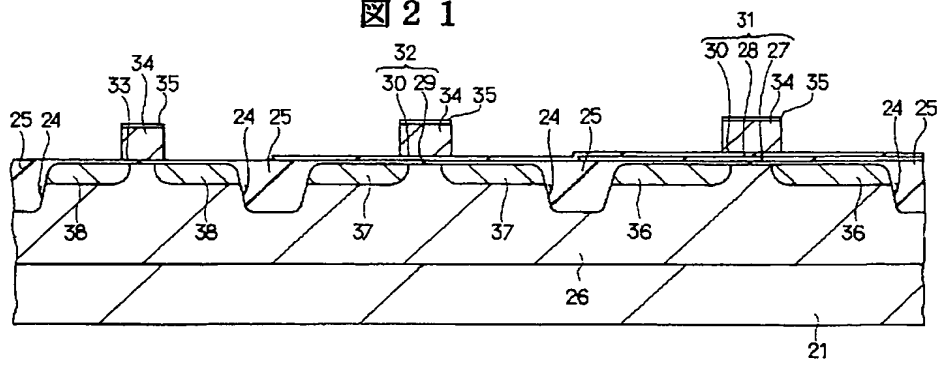
【図 20】

図 20



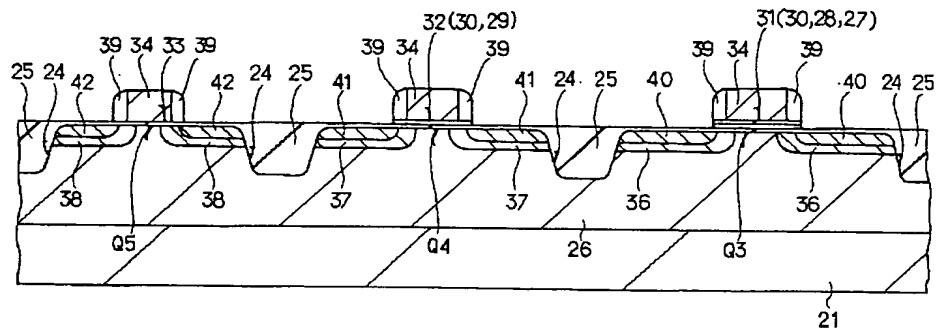
【図 21】

図 21



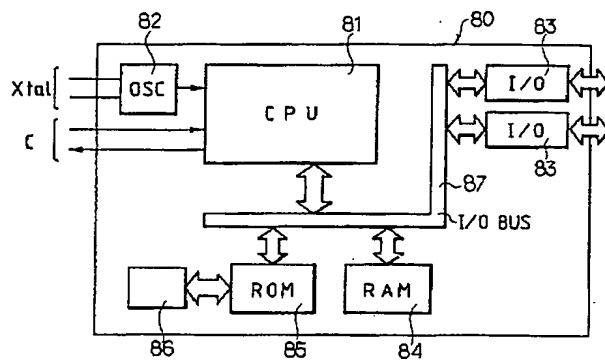
【図 22】

图 2 2



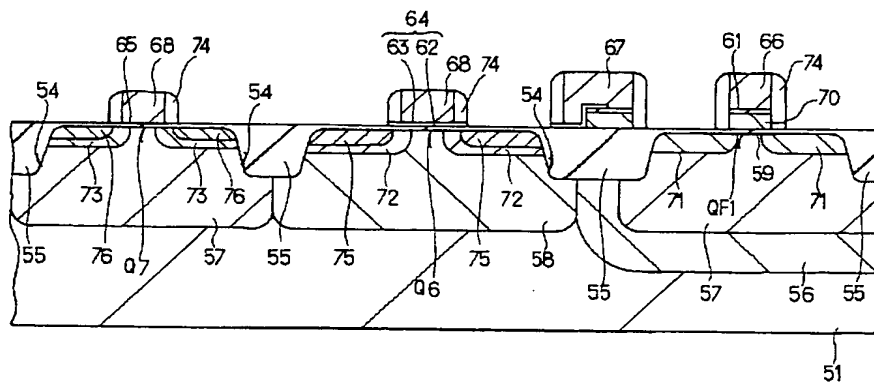
【図 23】

图 23



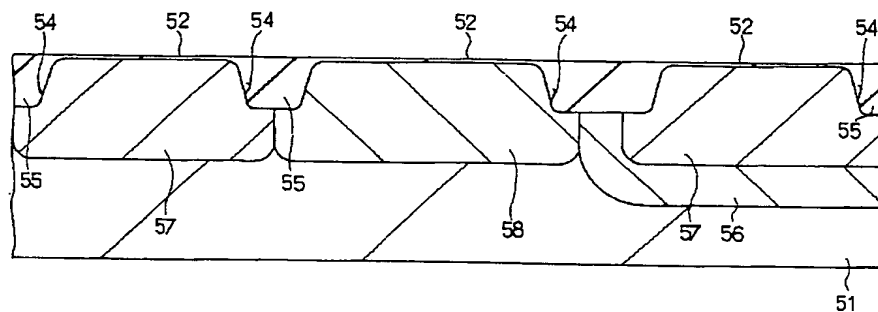
【図 24】

图 2 4



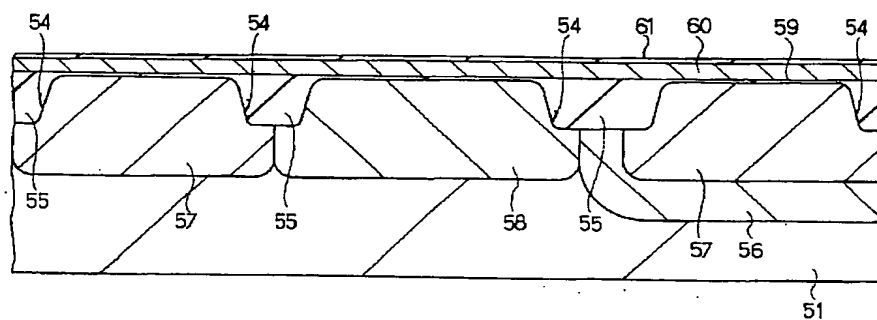
【図25】

図25



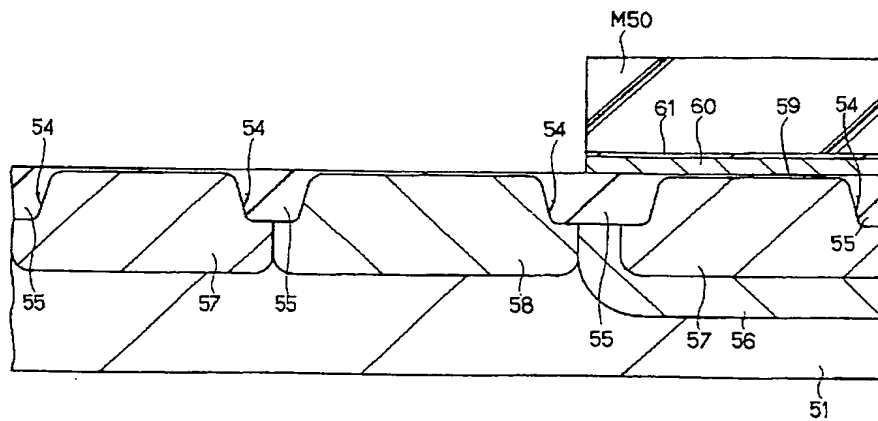
【図26】

図26



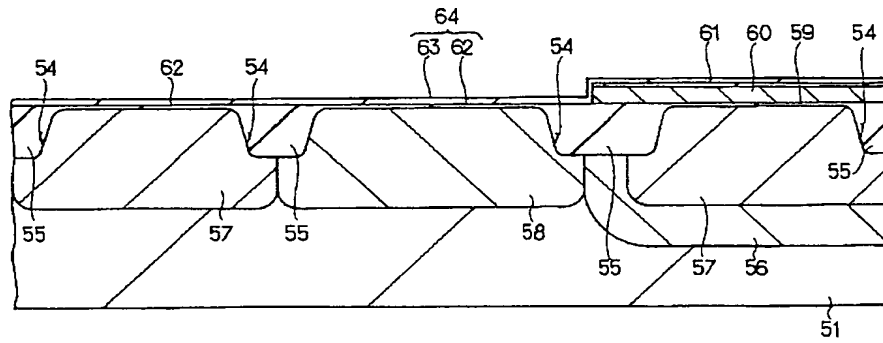
【図27】

図27



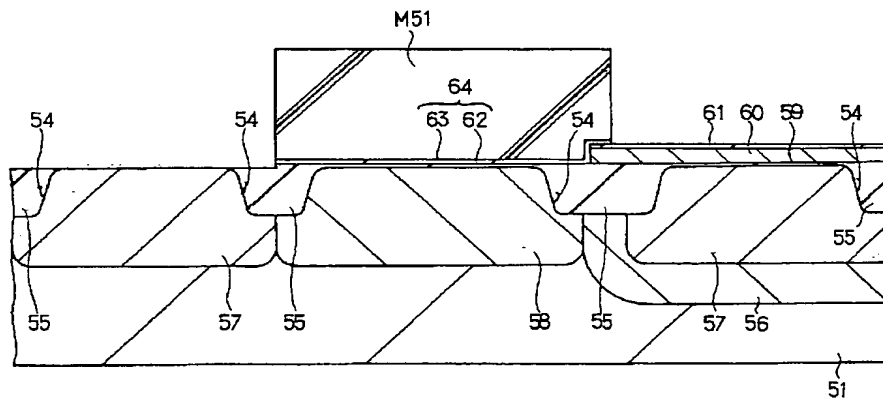
【図 2 8】

図 2 8



【図 2 9】

図 2 9



【図 3 0】

図 3 0

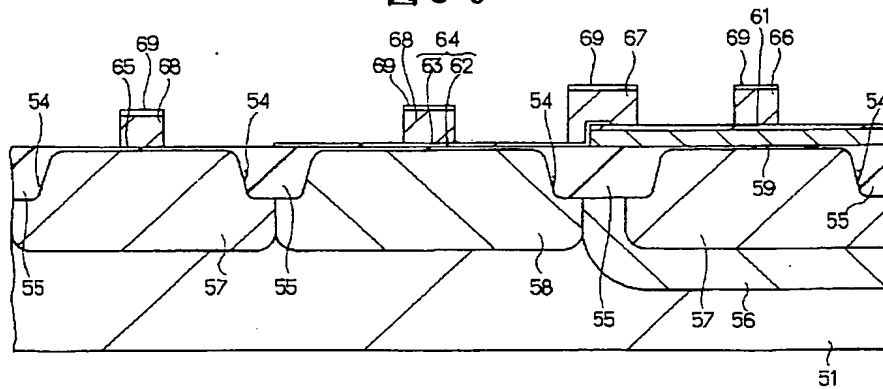
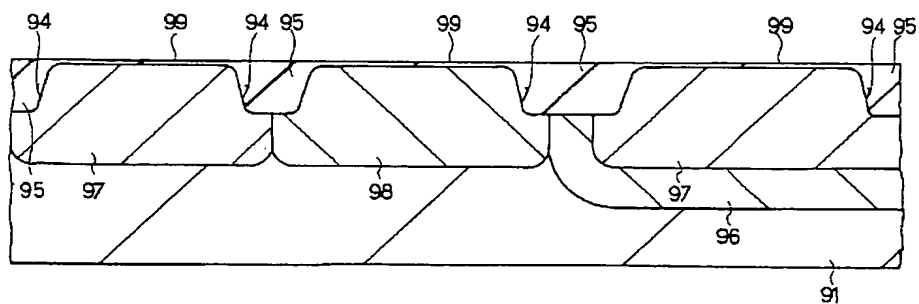
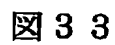
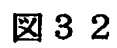
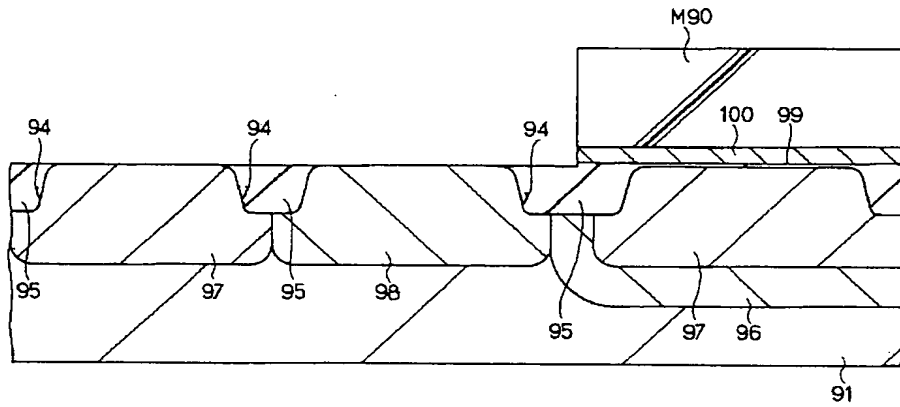


图 3 1



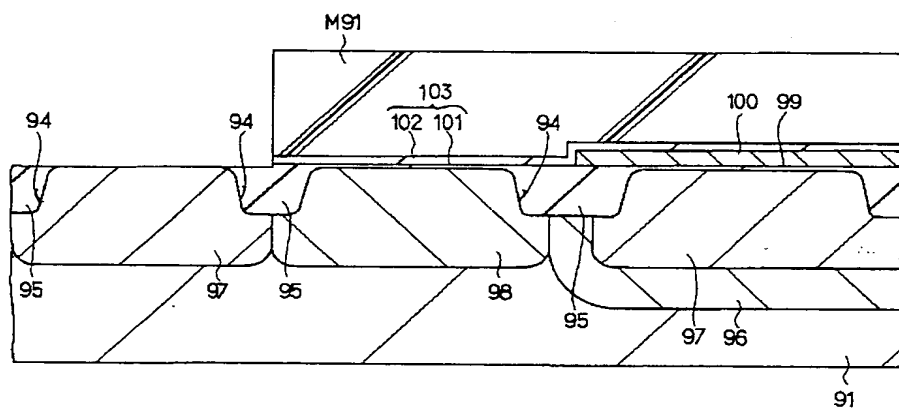
【図 3 4】

図 3 4



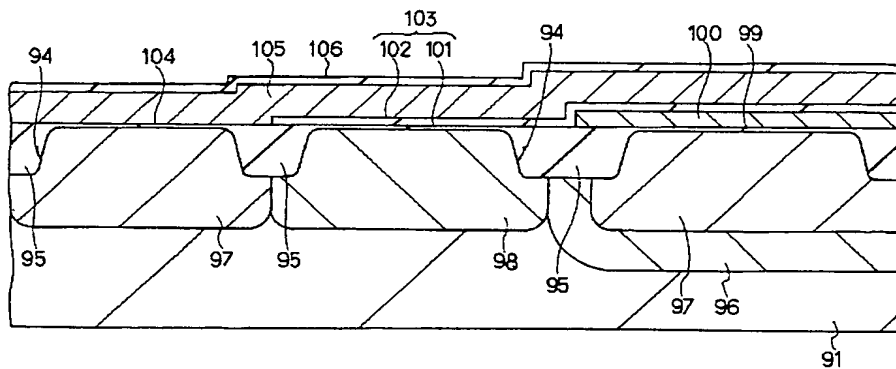
【図 3 5】

図 3 5



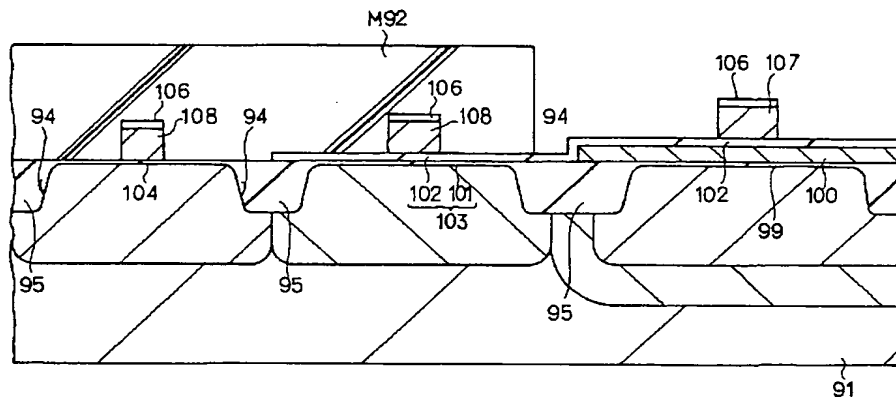
【図 3 6】

図 3 6



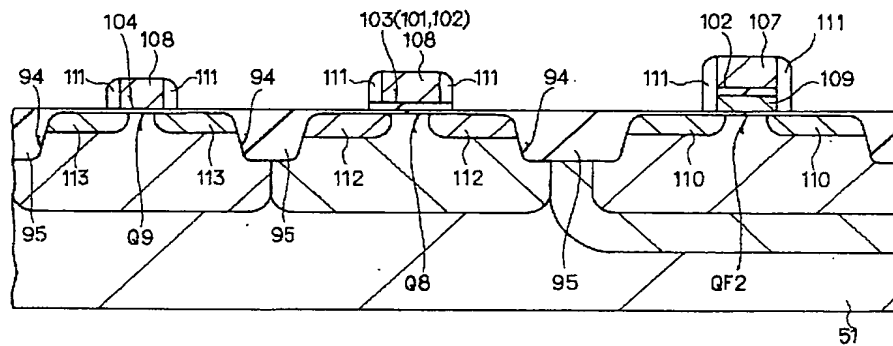
【図 3 7】

图 3 7



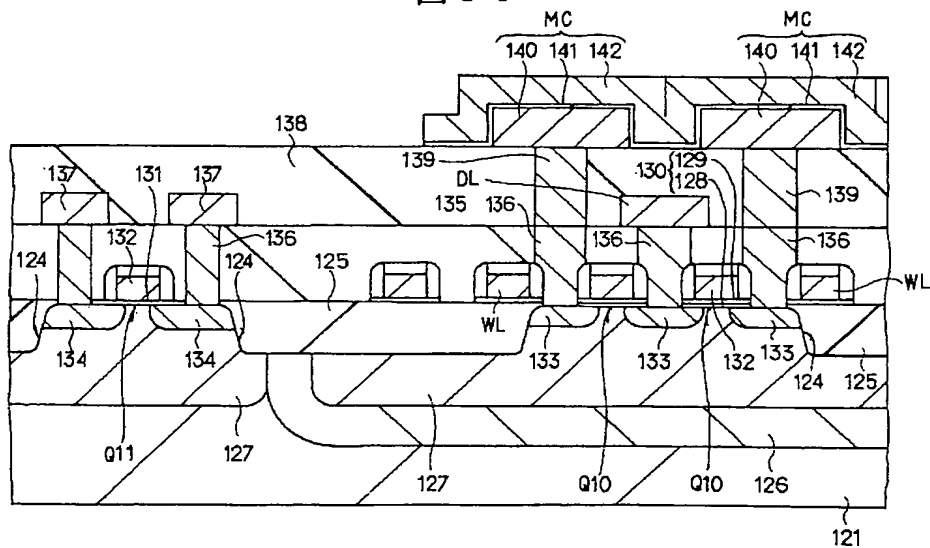
【图 38】

图 38



【图 3 9】

图 3 9

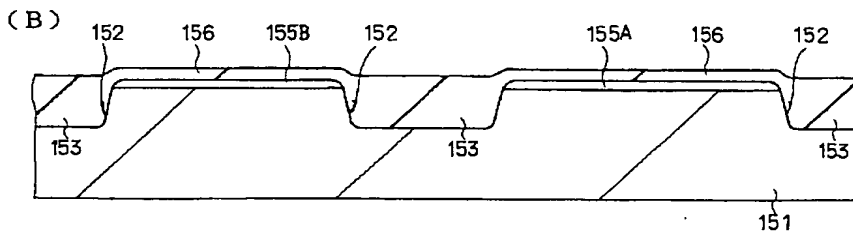
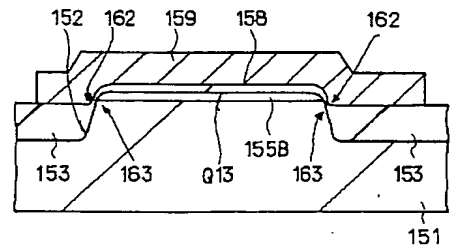
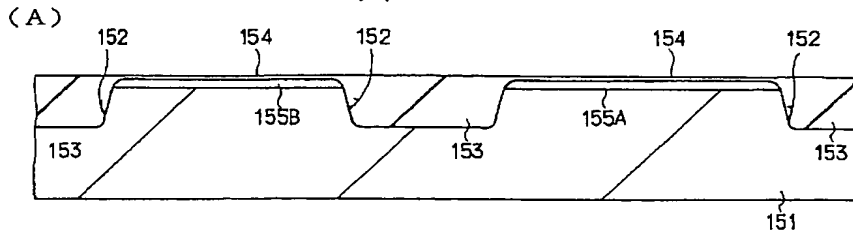


【図 4 0】

【図 4 4】

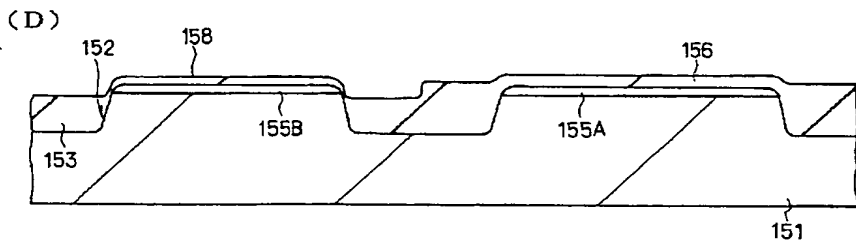
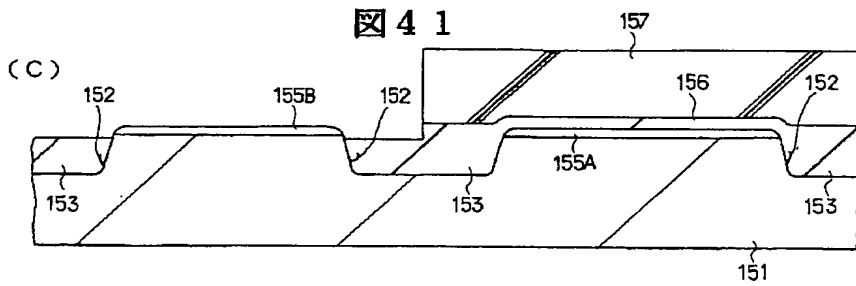
図 4 0

図 4 4



【図 4 1】

図 4 1



【図 4 5】

图 45

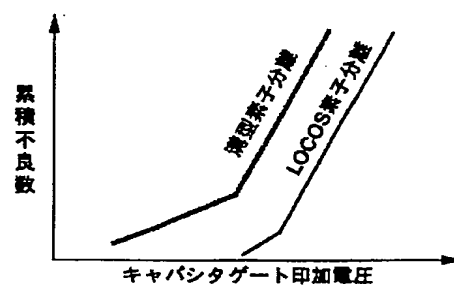


图 4-3

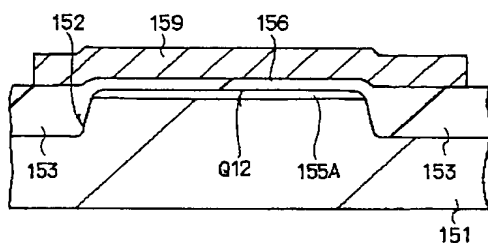
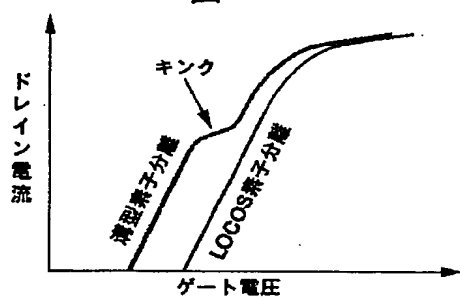


图 4 6



(51) Int. Cl. ⁶

識別記号

FI

H O 1 L 29/78

3 7 1

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 15 年 7 月 4 日 (2003. 7. 4)

【公開番号】特開平 11-177047

【公開日】平成 11 年 7 月 2 日 (1999. 7. 2)

【年通号数】公開特許公報 11-1771

【出願番号】特願平 9-338586

【国際特許分類第 7 版】

H01L 27/108

21/8242

21/316

27/115

21/8247

29/788

29/792

【F I】

H01L 27/10 681 D

21/316 S

X

27/10 434

681 F

29/78 371

【手続補正書】

【提出日】平成 15 年 4 月 1 日 (2003. 4. 1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】半導体基板の主面の第 1 の素子形成領域上にゲート絶縁膜が形成される第 1 の電界効果トランジスタと、

前記半導体基板の主面の第 2 の素子形成領域上に前記第 1 の電界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜が形成される第 2 の電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、

前記第 1 の素子形成領域上及び前記第 2 の素子形成領域上を含む前記半導体基板の主面上に堆積膜を形成する工程 (a) と、

前記第 2 の素子形成領域上の前記堆積膜を除去する工程 (b) と、

前記第 2 の素子形成領域上に熱酸化膜を形成して、前記第 1 の素子形成領域上、前記第 2 の素子形成領域上の夫々にゲート絶縁膜を形成する工程 (c) とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】半導体基板の主面の第 1 の素子形成領域上にゲート絶縁膜が形成される第 1 の電界効果トランジスタと、

前記半導体基板の主面の第 2 の素子形成領域上に前記第 1 の電界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜が形成される第 2 の電界効果トランジスタとを有する半導体集積回路装置の製造方法であって、

前記半導体基板の第 1 の素子形成領域上及び第 2 の素子形成領域上に熱酸化膜を形成する工程 (a) と、

前記熱酸化膜上を含む前記半導体基板の主面上に堆積膜を形成する工程 (b) と、

前記第 2 の素子形成領域上の前記堆積膜及び前記熱酸化膜を除去する工程 (c) と、

前記第 2 の素子形成領域上に熱酸化膜を形成して、前記第 1 の素子形成領域上、前記第 2 の素子形成領域上の夫々にゲート絶縁膜を形成する工程 (d) とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】半導体基板の主面の第 1 の素子形成領域上及び第 2 の素子形成領域上に第 1 の絶縁膜を堆積する工程 (a) と、

前記第 2 の素子形成領域上の前記第 1 の絶縁膜を除去する工程 (b) と、

前記工程 (b) の後、前記第 1 の絶縁膜より薄い熱酸化

膜を前記第2の素子形成領域上に形成するために、前記半導体基板の主面を熱酸化する工程(c)と、
 前記工程(c)の後、前記第1の素子形成領域の前記第1の絶縁膜上に第1のMISFETのゲート電極を、前記第2の素子形成領域の前記熱酸化膜上に第2のMISFETのゲート電極を形成するために、前記第1の素子形成領域上及び前記第2の素子形成領域上に形成された導電膜をパターンニングする工程(d)とを有し、
 前記第1のMISFETのゲート絶縁膜は、前記第1の素子形成領域の前記第1の絶縁膜から成り、
 前記第2のMISFETのゲート絶縁膜は、前記第2の素子形成領域の前記熱酸化膜から成り、
 前記第1の素子形成領域、前記第2の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込まれた埋込絶縁膜によって絶縁分離されていることを特徴とする半導体集積回路装置の製造方法。

【請求項4】半導体基板の主面の第1の素子形成領域上及び第2の素子形成領域上に熱酸化膜を形成する工程(a)と、
 前記熱酸化膜上に第1の絶縁膜を堆積する工程(b)と、
 前記第2の素子形成領域上の前記第1の絶縁膜及び前記熱酸化膜を除去する工程(c)と、
 前記第2の素子形成領域上に熱酸化膜を形成する工程(d)と、
 前記第1の素子形成領域の前記第1の絶縁膜上に第1のMISFETのゲート電極を、前記第2の素子形成領域の前記熱酸化膜上に第2のMISFETのゲート電極を、夫々形成する工程(e)とを有し、
 前記第1の素子形成領域に形成された前記第1の絶縁膜及び前記熱酸化膜は、前記第1のMISFETのゲート絶縁膜として機能し、
 前記第2の素子形成領域に形成された前記熱酸化膜は、前記第2のMISFETのゲート絶縁膜として機能することを特徴とする半導体集積回路装置の製造方法。

【請求項5】請求項1に記載の半導体集積回路装置の製造方法において、
 前記第1の電界効果トランジスタは、DRAMのメモリセルを構成する電界効果トランジスタであり、
 前記第2の電界効果トランジスタは、周辺回路を構成する電界効果トランジスタであることを特徴とする半導体集積回路装置の製造方法。

【請求項6】請求項1に記載の半導体集積回路装置の製造方法において、
 前記第1の素子形成領域、前記第2の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込まれた埋込絶縁膜によって絶縁分離されていることを特徴とする半導体集積回路装置の製造方法。

【請求項7】請求項6に記載の半導体集積回路装置の製造方法において、
 前記埋込絶縁膜は、化学気相成長法によって堆積した絶縁膜を化学的機械研磨法によって研磨することにより形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項8】請求項1に記載の半導体集積回路装置の製造方法において、
 前記堆積膜は、前記第1の素子形成領域上に形成されたゲート絶縁膜に含まれることを特徴とする半導体集積回路装置の製造方法。

【請求項9】請求項1、請求項5、又は請求項8の何れかに記載の半導体集積回路装置の製造方法において、
 前記堆積膜は、絶縁材料から成ることを特徴とする半導体集積回路装置の製造方法。

【請求項10】請求項4に記載の半導体集積回路装置の製造方法において、
 前記第1の絶縁膜の膜厚は、前記第1の素子形成領域に形成された前記熱酸化膜の膜厚より厚いことを特徴とする半導体集積回路装置の製造方法。

【請求項11】請求項4、請求項5、又は請求項10の何れかに記載の半導体集積回路装置の製造方法において、
 前記工程(a)の前に、
 前記半導体基板に溝を形成する工程と、
 前記半導体基板の主面上及び前記溝内に第2の絶縁膜を堆積する工程と、
 前記半導体基板の主面上の前記第2の絶縁膜を除去し、
 前記溝内に前記第2の絶縁膜を残す工程とを有し、
 前記溝は、前記第1の素子形成領域と前記第2の素子形成領域を規定し、
 前記工程(a)において、前記堆積膜或いは前記第1の絶縁膜を前記溝内に埋め込まれた前記第2の絶縁膜上にも形成することを特徴とする半導体集積回路装置の製造方法。

【請求項12】請求項3、又は請求項9の何れかに記載の半導体集積回路装置の製造方法において、
 前記絶縁材料或いは前記埋込絶縁膜は、シリコン酸化膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項13】請求項4、請求項5、請求項10、又は請求項11の何れかに記載の半導体集積回路装置の製造方法において、
 前記堆積膜、前記第1の絶縁膜、或いは前記第2の絶縁膜は、化学気相成長法によって形成された膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項14】請求項1、請求項3、請求項4、請求項7、又は請求項11の何れかに記載の半導体集積回路装置の製造方法において、
 前記第2の素子形成領域に形成された熱酸化膜の膜厚

は、前記堆積膜或いは前記第1の絶縁膜の膜厚よりも薄いことを特徴とする半導体集積回路装置の製造方法。

【請求項15】半導体基板の主面の第1の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、

前記半導体基板の主面の第2の素子形成領域上に前記第1の電界効果トランジスタのゲート絶縁膜よりも薄い厚さでゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置において、

前記第1の電界効果トランジスタのゲート絶縁膜は、熱酸化膜及び堆積膜で形成され、

前記第2の電界効果トランジスタのゲート絶縁膜は、熱酸化膜で形成されていることを特徴とする半導体集積回路装置。

【請求項16】請求項15に記載の半導体集積回路装置において、

前記第1の電界効果トランジスタは、DRAMのメモリセルを構成する電界効果トランジスタであり、

前記第2の電界効果トランジスタは、周辺回路を構成する電界効果トランジスタであることを特徴とする半導体集積回路装置。

【請求項17】請求項15、又は請求項16の何れかに記載の半導体集積回路装置において、

前記第1の素子形成領域、前記第2の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込まれた埋込絶縁膜によって絶縁分離されていることを特徴とする半導体集積回路装置。

【請求項18】半導体基板の主面の第1の素子形成領域上にゲート絶縁膜を介在して浮遊ゲート電極が形成され、かつ前記浮遊ゲート電極上に層間絶縁膜を介在して制御ゲート電極が形成される不揮発性記憶素子と、

前記半導体基板の主面の第2の素子形成領域上にゲート絶縁膜が形成される第1の電界効果トランジスタと、

前記半導体基板の主面の第3の素子形成領域上に前記第1の電界効果トランジスタのゲート絶縁膜よりも薄い膜厚でゲート絶縁膜が形成される第2の電界効果トランジスタとを有する半導体集積回路装置であって、

前記第1の電界効果トランジスタは、熱酸化膜及び堆積膜で形成され、

前記第2の電界効果トランジスタは、熱酸化膜で形成され、

前記堆積膜は、前記不揮発性記憶素子の層間絶縁膜と同一層で形成されていることを特徴とする半導体集積回路装置。

【請求項19】請求項18に記載の半導体集積回路装置において、

前記第1の素子形成領域、前記第2の素子形成領域、前記第3の素子形成領域の夫々は、前記半導体基板の主面の素子分離領域に形成された溝及びこの溝内に埋め込ま

れた埋込絶縁膜によって絶縁分離されていることを特徴とする半導体集積回路装置。

【請求項20】請求項17、又は請求項19の何れかに記載の半導体集積回路装置において、

前記埋込絶縁膜は、化学気相成長法によって堆積した絶縁膜を化学的機械研磨法によって研磨することにより形成されることを特徴とする半導体集積回路装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】異なる機能のデバイスを混載したこれらの半導体集積回路装置には、動作電圧の異なる複数種類の電界効果トランジスタが搭載されている。例えば、フラッシュメモリへの情報の書き込み・消去動作は15～20[V]の高電圧が必要であるため、周辺回路の一部にはその電圧印加に耐える15～25[nm]の厚さのゲート絶縁膜を有する電界効果トランジスタが使用される。また、通常の3.3[V]で動作するマイクロコンピュータの論理回路部には、7～10[nm]の厚さのゲート絶縁膜を有する電界効果トランジスタが使用される。更に、最近の0.25ミクロン技術によるフラッシュメモリ内蔵マイクロコンピュータにおいては、1.8[V]程度の低電源電圧で高速動作を実現するため、論理回路部に4～5[nm]の厚さのゲート絶縁膜を有する電界効果トランジスタが使用されており、入出力部を3.3[V]でも対応可能とする場合には、結果的に3水準、4～5[nm]厚のゲート絶縁膜(1.8[V]用)、7～10[nm]厚のゲート絶縁膜(3.3[V]用)、及び15～25[nm]厚のゲート絶縁膜(フラッシュメモリ用)を形成する必要がある。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】図1は本発明の実施形態1である半導体集積回路装置に搭載された二種類の電界効果トランジスタの構成を示す模式的平面図であり、図2は図1に示すA-A線の位置で切った断面図であり、図3は図1に示すB-B線の位置で切った断面図であり、図4は図1に示すC-C線の位置で切った断面図である。なお、図1において、図を見易くするため、後述する層間絶縁膜19、配線20等は図示を省略している。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】前記電界効果トランジスタQ2は、例えば動作電位が1.8[V]に設定され、ゲート絶縁膜11の厚さが5[nm]程度に設定されている。ゲート絶縁膜11は、ゲート絶縁膜10と異なり、熱酸化膜で形成されている。この熱酸化膜は、p型半導体基板1の主面を酸化して形成した酸化珪素膜で形成されている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正内容】

【0069】図15は本発明の実施形態2である半導体集積回路装置に搭載された三種類の電界効果トランジスタの構成を示す断面図である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正内容】

【0098】図23に示すように、マイクロコンピュータ80は、中央処理部、制御部、演算部、記憶部、入出力部等を同一基板に搭載している。中央処理部、制御部、及び演算部はプロセッサユニット(CPU)81で構成されている。入出力部はデータ入出力回路ユニット(I/O)83で構成されている。記憶部はRAMユニット84及びROMユニット85で構成されている。RAMユニット84にはDRAM(Dynamic Random Access Memory)及びSRAM(Static Random Access Memory)が搭載されている。ROMユニット85にはフラッシュメモリが搭載されている。これらの各ユニット間に入出力データバス(I/O BUS)87を介在して相互に接続されている。また、マイクロコンピュータ80は、電源部86及びクロック発振器82を搭載している。